

1

【特許請求の範囲】

【請求項1】 能動負荷として用いる第1の電界効果型トランジスタ（以下「FET」という。）と、この第1のFETと同じマスクパターンを有し同じプロセス条件で作成された増幅器として用いる第2のFETと、前記第1のFETおよび前記第2のFETと同じマスクパターンを有し同じプロセス条件で作成された定電流源として用いる第3のFETと、可変能動負荷として用いる第4のFETと、バイアス設定用ダンピング抵抗と、高周波接地用コンデンサとを有し、

前記第1のFETのドレイン電極を電源に接続し、前記第1のFETのソース電極およびゲート電極を前記第2のFETのドレイン電極に接続し、前記バイアス設定用ダンピング抵抗を前記第2のFETのゲート電極とソース電極との間に接続し、前記第2のFETのソース電極を前記第3のFETのドレイン電極および前記第4のFETのドレイン電極に接続し、前記第3のFETのゲート電極およびソース電極を接地し、前記高周波接地用コンデンサを前記第4のFETのソース電極と接地との間に接続し、

かつ、前記第2のFETのゲート電極を入力端子とし、前記第2のFETのドレイン電極を出力端子とし、前記第4のFETのゲート電極を利得制御端子とし、前記利得制御端子への印加電圧を変化させることによって増幅器となる前記第2のFETの利得を変化させるようにした利得制御回路。

【請求項2】 能動負荷として用いる第1の電界効果型トランジスタ（以下「FET」という。）と、この第1のFETと同じマスクパターンを有し同じプロセス条件下で作成された増幅器として用いる第2のFETと、可変能動負荷として用いる第3のFETと、バイアス設定用ダンピング抵抗と、チョークコイルと、高周波接地用コンデンサとを有し、

前記第1のFETのドレイン電極を電源に接続し、前記第1のFETのゲート電極およびソース電極を前記第3のFETのドレイン電極に接続し、前記高周波接地用コンデンサを前記第1のFETのソースと接地または電源との間に接続し、前記第3のFETのソース電極を前記第2のFETのドレイン電極に接続し、

前記チョークコイルを前記第3のFETのドレイン電極とソース電極との間に接続し、前記バイアス設定用ダンピング抵抗を前記第2のFETのゲート電極と接地との間に接続し、前記第2のFETのソース電極を接地し、かつ、前記第2のFETのゲート電極を入力端子とし、前記第2のFETのドレイン電極を出力端子とし、前記第3のFETのゲート電極を利得制御端子とし、この利得制御端子の印加電圧を変化させることによって増幅器となる前記第2のFETの利得を変化させるようにした利得制御回路。

【請求項3】 能動負荷として用いる第1の電界効果型

2

トランジスタ（以下「FET」という。）と、この第1のFETと同じマスクパターンを有し同じプロセス条件で作成された増幅器として用いる第2のFETと、可変能動負荷として用いる第3のFETと、バイアス設定用ダンピング抵抗と、結合コンデンサとを有し、

前記第1のFETのドレイン電極を電源に接続し、前記第1のFETのソース電極およびゲート電極を前記第2のFETのドレイン電極に接続し、前記第2のFETのゲート電極と接地との間に前記バイアス設定用ダンピング抵抗を接続し、前記第2のFETのソース電極を接地し、前記第3のFETのドレイン電極を前記第2のFETのドレイン電極に接続し、前記結合コンデンサを前記第3のFETのソース電極および前記第2のFETのゲート電極に接続し、

かつ、前記第2のFETのゲート電極を入力端子とし、前記第2のFETのドレイン電極を出力端子とし、前記第3のFETのゲート電極を利得制御端子とし、この利得制御端子の印加電圧を変化させることによって増幅器となる前記第2のFETの利得を変化させるようにした利得制御回路。

【請求項4】 能動負荷として用いる第1の電界効果型トランジスタ（以下「FET」という。）と、この第1のFETと同じマスクパターンを有し同じプロセス条件で作成された増幅器として用いる第2のFETと、前記第1のFETおよび前記第2のFETと同じマスクパターンを有し同じプロセス条件で作成された定電流源として用いる第3のFETと、可変能動負荷として用いる第4のFETと、ソースフォロアとして用いる第5のFETと、定電流源として用いる第6のFETと、バイアス設定用ダンピング抵抗と、利得クランプ用抵抗と、電流クランプ用抵抗とを有し、

前記第1のFETのドレイン電極を電源端子に接続し、前記第1のFETのソース電極およびゲート電極を前記第2のFETのドレイン電極に接続し、前記バイアス設定用ダンピング抵抗を前記第2のFETのゲート電極とソース電極との間に接続し、前記第2のFETのソース電極を前記第3のFETのドレイン電極および第4のFETのドレイン電極に接続し、前記第3のFETのゲート電極およびソース電極を接地端子に接続し、前記利得クランプ用抵抗を前記第4のFETのドレイン電極とソース電極との間に接続し、前記電流クランプ用抵抗を前記第4のFETのゲート電極と利得制御端子との間に接続し、前記第5のFETのドレイン電極を電源端子に接続し、前記第5のFETのゲート電極を前記第2のFETのドレイン電極に接続し、前記第5のFETのソース電極を前記第6のFETのドレイン電極に接続し、前記第6のFETのゲート電極およびソース電極を前記接地端子に接続し、

かつ、前記第2のFETのゲート電極を入力端子とし、前記第5のFETのソース電極を出力端子とし、前記第

3

4のFETのソース電極を高周波接地端子とし、この高周波接地端子と接地または電源などの高周波接地点との間に高周波接地用コンデンサを外付けし、前記利得制御端子の印加電圧を変化させることによって増幅器となる前記第2のFETの利得を変化させるようにした半導体装置。

【請求項5】 能動負荷として用いる第1の電界効果型トランジスタ（以下「FET」という。）と、この第1のFETと同じマスクパターンを有し同じプロセス条件で作成された増幅器として用いる第2のFETと、可変能動負荷として用いる第3のFETと、ソースフォロアとして用いる第4のFETと、定電流源として用いる第5のFETと、バイアス設定用ダンピング抵抗と、電流クランプ用抵抗とを有し、

前記第1のFETのドレイン電極を電源端子に接続し、前記第1のFETのゲート電極およびソース電極を前記第3のFETのドレイン電極に接続し、前記第1のFETのソース電極を高周波接地端子に接続し、前記電流クランプ用抵抗を前記第3のFETゲート電極と利得制御端子との間に接続し、前記第3のFETのソース電極を前記第2のFETのドレイン電極に接続し、前記第3のFETのソース電極を前記チョークコイル用端子に接続し、前記バイアス設定用ダンピング抵抗を前記第2のFETのゲート電極と接地端子との間に接続し、前記第2のFETのソース電極を前記接地端子に接続し、前記第4のFETのドレイン電極を電源端子に接続し、前記第2のFETのドレイン電極を前記第4のFETのゲート電極に接続し、前記第4のFETのソース電極を前記第5のFETのドレイン電極に接続し、前記第5のFETのゲート電極およびソース電極を接地端子に接続し、かつ、前記第2のFETのゲート電極を入力端子とし、前記第4のFETのソース電極を出力端子とし、前記高周波接地用コンデンサを前記高周波接地端子と接地または電源などの高周波接地点との間に外付けし、前記チョークコイルを前記高周波接地端子と前記チョークコイル用端子との間に外付けし、前記利得制御端子の印加電圧を変化させることによって増幅器となる第2のFETの利得を変化させるようにした半導体装置。

【請求項6】 能動負荷として用いる第1の電界効果型トランジスタ（以下「FET」という。）と、この第1のFETと同じマスクパターンを有し同じプロセス条件で作成された増幅器として用いる第2のFETと、可変能動負荷として用いる第3のFETと、ソースフォロアとして用いる第4のFETと、定電流源として用いる第5のFETと、バイアス設定用ダンピング抵抗と、利得クランプ用抵抗と、電流クランプ用抵抗とを有し、前記第1のFETのドレイン電極を電源端子に接続し、前記第1のFETのゲート電極およびソース電極を前記第2のFETのドレイン電極に接続し、前記第2のFETのゲート電極と接地端子との間に前記バイアス設定用

4

ダンピング抵抗を接続し、前記第2のFETのソース電極を前記接地端子に接続し、前記第3のFETのドレイン電極を前記第2のFETのドレイン電極に接続し、前記利得クランプ用抵抗を前記第3のFETのドレイン電極とソース電極との間に接続し、前記第3のFETのソース電極を結合コンデンサ用端子に接続し、前記電流クランプ用抵抗を前記第3のFETのゲート電極と前記利得制御端子との間に接続し、前記第4のFETのドレイン電極を前記電源端子に接続し、前記第2のFETのドレイン電極を前記第4のFETのゲート電極に接続し、前記第4のFETのソース電極を前記第5のFETのドレイン電極に接続し、前記第5のFETのゲート電極およびソース電極を接地端子に接続し、

かつ、前記第2のFETのゲート電極を入力端子とし、前記第4のFETのソース電極を出力端子とし、前記結合コンデンサを前記結合コンデンサ用端子と入力端子との間に外付けし、前記利得制御端子の印加電圧を変化させることによって増幅器となる第2のFETの利得を変化させるようにした半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はTVチューナなどに用いられるGaAsMESFETを用いた利得制御回路および半導体装置に関するものである。

【0002】

【従来の技術】 従来、TVチューナなどに用いられる利得制御回路としては、PINダイオードによる減衰器と固定利得の増幅器とを組み合わせる利得を制御するものやデュアルゲートFETの動作点を変えて利得を制御するものがあった。しかし、PINダイオードについては、現在、GaAsで安定な特性を有するPIN構造の製作が困難であるため実用上問題がある。また、デュアルゲートFETを用いる利得制御回路は、動作点の変化によってドレイン電流（以下「 I_{DS} 」という。）が変化するため、例えば、IEEE Transactions on Consumer Electronics, Vol. 53, No. 3, AUGUST 1989 に示されているように、直流バイアスを安定化し利得制御電圧による利得制御回路全体の消費電流変動を安定化するための回路が別に必要であった。

【0003】

【発明が解決しようとする課題】 利得制御回路を構成するためにGaAsMESFETのように I_{DS} のばらつきが大きいデバイスを集積した半導体装置においては、ソース接地増幅器のドレイン電極と電源との間に抵抗負荷を用いると、 I_{DS} のばらつきにより電圧降下量の変動することによって、ドレイン電極の直流バイアスが変動する。一方、十分な利得が必要な場合、ドレイン負荷抵抗を大きくする必要があるが、これにより、ドレイン電極の直流バイアスがより大きな変動を生じることとなる。

従って、従来の半導体装置では、電源電圧が小さい場合

5

に、電界効果型トランジスタを飽和領域で動作させるのに十分なドレイン・ソース間電圧 V_{DS} を設定し、かつ、十分な利得および安定な直流バイアスを同時に得ることは困難であるという問題があった。

【0004】また、利得制御回路に対しては、利得制御電圧を設定するのに特別な電源を必要とせず、さらに負電圧を与える電源も必要としない回路構成が汎用性の点で望まれているが、このような回路を実現するためには、最大利得を与える電圧から最小利得を与える電圧の範囲が、利得制御回路の電源電圧から接地電圧の範囲内であることが必要となり、従来の利得制御回路では不可能であった。

【0005】この発明の目的は、上記問題点に鑑み、十分な利得および安定した直流バイアスを同時に得ることができ、低3次相互変調歪積特性を有した利得制御回路および半導体装置を提供することである。

【0006】

【課題を解決するための手段】請求項1記載の利得制御回路は、能動負荷として用いる第1の電界効果型トランジスタ（以下「FET」という。）と、この第1のFETと同じマスクパターンを有し同じプロセス条件で作成された増幅器として用いる第2のFETと、第1のFETおよび第2のFETと同じマスクパターンを有し同じプロセス条件で作成された定電流源として用いる第3のFETと、可変能動負荷として用いる第4のFETと、バイアス設定用ダンピング抵抗と、高周波接地用コンデンサとを有し、第1のFETのドレイン電極を電源に接続し、第1のFETのソース電極およびゲート電極を第2のFETのドレイン電極に接続し、バイアス設定用ダンピング抵抗を第2のFETのゲート電極とソース電極との間に接続し、第2のFETのソース電極を第3のFETのドレイン電極および第4のFETのドレイン電極に接続し、第3のFETのゲート電極およびソース電極を接地し、高周波接地用コンデンサを第4のFETのソース電極と接地との間に接続し、かつ、第2のFETのゲート電極を入力端子とし第2のFETのドレイン電極を出力端子とし、第4のFETのゲート電極を利得制御端子とし、利得制御端子への印加電圧を変化させることによって増幅器となる第2のFETの利得を変化させるようにしたものである。

【0007】請求項2記載の利得制御回路は、能動負荷として用いる第1の電界効果型トランジスタ（以下「FET」という。）と、この第1のFETと同じマスクパターンを有し同じプロセス条件下で作成された増幅器として用いる第2のFETと、可変能動負荷として用いる第3のFETと、バイアス設定用ダンピング抵抗と、チョークコイルと、高周波接地用コンデンサとを有し、第1のFETのドレイン電極を電源に接続し、第1のFETのゲート電極およびソース電極を第3のFETのドレイン電極に接続し、高周波接地用コンデンサを第1のF

6

ETのソースと接地または電源との間に接続し、第3のFETのソース電極を第2のFETのドレイン電極に接続し、チョークコイルを第3のFETのドレイン電極とソース電極との間に接続し、バイアス設定用ダンピング抵抗を第2のFETのゲート電極と接地との間に接続し、第2のFETのソース電極を接地し、かつ、第2のFETのゲート電極を入力端子とし、第2のFETのドレイン電極を出力端子とし、第3のFETのゲート電極を利得制御端子とし、この利得制御端子の印加電圧を変化させることによって増幅器となる第2のFETの利得を変化させるようにしたものである。

【0008】請求項3記載の利得制御回路は、能動負荷として用いる第1の電界効果型トランジスタ（以下「FET」という。）と、この第1のFETと同じマスクパターンを有し同じプロセス条件で作成された増幅器として用いる第2のFETと、可変能動負荷として用いる第3のFETと、バイアス設定用ダンピング抵抗と、結合コンデンサとを有し、第1のFETのドレイン電極を電源に接続し、第1のFETのソース電極およびゲート電極を第2のFETのドレイン電極に接続し、第2のFETのゲート電極と接地との間にバイアス設定用ダンピング抵抗を接続し、第2のFETのソース電極を接地し、第3のFETのドレイン電極を第2のFETのドレイン電極に接続し、結合コンデンサを第3のFETのソース電極および第2のFETのゲート電極に接続し、かつ、第2のFETのゲート電極を入力端子とし、第2のFETのドレイン電極を出力端子とし、第3のFETのゲート電極を利得制御端子とし、この利得制御端子の印加電圧を変化させることによって増幅器となる第2のFETの利得を変化させるようにしたものである。

【0009】請求項4記載の半導体装置は、能動負荷として用いる第1の電界効果型トランジスタ（以下「FET」という。）と、この第1のFETと同じマスクパターンを有し同じプロセス条件で作成された増幅器として用いる第2のFETと、第1のFETおよび第2のFETと同じマスクパターンを有し同じプロセス条件で作成された定電流源として用いる第3のFETと、可変能動負荷として用いる第4のFETと、ソースフォロアとして用いる第5のFETと、定電流源として用いる第6のFETと、バイアス設定用ダンピング抵抗と、利得クランプ用抵抗と、電流クランプ用抵抗とを有し、第1のFETのドレイン電極を電源端子に接続し、第1のFETのソース電極およびゲート電極を第2のFETのドレイン電極に接続し、バイアス設定用ダンピング抵抗を第2のFETのゲート電極とソース電極との間に接続し、第2のFETのソース電極を第3のFETのドレイン電極および第4のFETのドレイン電極に接続し、第3のFETのゲート電極およびソース電極を接地端子に接続し、利得クランプ用抵抗を第4のFETのドレイン電極とソース電極との間に接続し、電流クランプ用抵抗を第

7

4のFETのゲート電極と利得制御端子との間に接続し、第5のFETのドレイン電極を電源端子に接続し、第5のFETのゲート電極を第2のFETのドレイン電極に接続し、第5のFETのソース電極を第6のFETのドレイン電極に接続し、第6のFETのゲート電極およびソース電極を接地端子に接続し、かつ、第2のFETのゲート電極を入力端子とし、第5のFETのソース電極を出力端子とし、第4のFETのソース電極を高周波接地端子とし、この高周波接地端子と接地または電源などの高周波接地点との間に高周波接地用コンデンサを外付けし、利得制御端子の印加電圧を変化させることによって増幅器となる第2のFETの利得を変化させるようにしたものである。

【0010】請求項5記載の半導体装置は、能動負荷として用いる第1の電界効果型トランジスタ（以下「FET」という。）と、この第1のFETと同じマスクパターンを有し同じプロセス条件で作成された増幅器として用いる第2のFETと、可変能動負荷として用いる第3のFETと、ソースフォロアとして用いる第4のFETと、定電流源として用いる第5のFETと、バイアス設定用ダンピング抵抗と、電流クランプ用抵抗とを有し、第1のFETのドレイン電極を電源端子に接続し、第1のFETのゲート電極およびソース電極を第3のFETのドレイン電極に接続し、第1のFETのソース電極を高周波接地端子に接続し、電流クランプ用抵抗を第3のFETゲート電極と利得制御端子との間に接続し、第3のFETのソース電極を第2のFETのドレイン電極に接続し、第3のFETのソース電極をチョークコイル用端子に接続し、バイアス設定用ダンピング抵抗を第2のFETのゲート電極と接地端子との間に接続し、第2のFETのソース電極を接地端子に接続し、第4のFETのドレイン電極を電源端子に接続し、第2のFETのドレイン電極を第4のFETのゲート電極に接続し、第4のFETのソース電極を第5のFETのドレイン電極に接続し、第5のFETのゲート電極およびソース電極を接地端子に接続し、かつ、第2のFETのゲート電極を入力端子とし、第4のFETのソース電極を出力端子とし、高周波接地用コンデンサを高周波接地端子と接地または電源などの高周波接地点との間に外付けし、チョークコイルを高周波接地端子とチョークコイル用端子との間に外付けし、利得制御端子の印加電圧を変化させることによって増幅器となる第2のFETの利得を変化させるようにしたものである。

【0011】請求項6記載の半導体装置は、能動負荷として用いる第1の電界効果型トランジスタ（以下「FET」という。）と、この第1のFETと同じマスクパターンを有し同じプロセス条件で作成された増幅器として用いる第2のFETと、可変能動負荷として用いる第3のFETと、ソースフォロアとして用いる第4のFETと、定電流源として用いる第5のFETと、バイアス設

8

定用ダンピング抵抗と、利得クランプ用抵抗と、電流クランプ用抵抗とを有し、第1のFETのドレイン電極を電源端子に接続し、第1のFETのゲート電極およびソース電極を第2のFETのドレイン電極に接続し、第2のFETのゲート電極と接地端子との間にバイアス設定用ダンピング抵抗を接続し、第2のFETのソース電極を接地端子に接続し、第3のFETのドレイン電極を第2のFETのドレイン電極に接続し、利得クランプ用抵抗を第3のFETのドレイン電極とソース電極との間に接続し、第3のFETのソース電極を結合コンデンサ用端子に接続し、電流クランプ用抵抗を第3のFETのゲート電極と利得制御端子との間に接続し、第4のFETのドレイン電極を電源端子に接続し、第2のFETのドレイン電極を第4のFETのゲート電極に接続し、第4のFETのソース電極を第5のFETのドレイン電極に接続し、第5のFETのゲート電極およびソース電極を接地端子に接続し、かつ、第2のFETのゲート電極を入力端子とし、第4のFETのソース電極を出力端子とし、結合コンデンサを結合コンデンサ用端子と入力端子との間に外付けし、利得制御端子の印加電圧を変化させることによって増幅器となる第2のFETの利得を変化させるようにしたものである。

【0012】

【作用】請求項1記載の構成によれば、直流バイアスおよび高周波特性について次のような作用を得ることができる。まず、直流バイアスについて説明する。第1のFET、第2のFETおよび第3のFETは、同じマスクパターンを有し同じプロセス条件で作成したものであるため、同じ特性が得られる。

【0013】そこで、第2のFETのゲートリーク電流によるバイアス設定用ダンピング抵抗での電圧降下が十分小さくなるようにバイアス設定用ダンピング抵抗の抵抗値を設定し、利得制御端子から第4のFETのゲート電極を介して第3のFETに流出入する電流が、第3のFETの最大飽和ドレイン電流より十分小さくなるように第3のFETの最大飽和ドレイン電流を設定する。

【0014】これにより、第1のFET、第2のFETおよび第3のFETには等しく第3のFETの最大飽和ドレイン電流が流れ、第1のFET、第2のFETおよび第3のFETのドレイン・ソース間電圧はすべて等しくなり、かつ、ゲート・ソース間電圧もすべて等しくなるように自己バイアスされる。したがって、最大飽和ドレイン電流とは無関係に、出力端子電圧は電源電圧の $2/3$ となり、第2のFETのソース電圧は電源電圧の $1/3$ となり、安定した直流バイアスを得ることができる。

【0015】次に、高周波特性について説明する。増幅器となる第2のFETのソース電極と接地との間のインピーダンスは、第4のFETのドレイン入力インピーダンスが支配的となる。この第4のFETのドレイン入力

インピーダンスは、ゲート・ドレイン間電圧の値により変化させることができる。したがって、第4のFETのゲート電圧すなわち利得制御端子の印加電圧を制御することにより、第2のFETのソース電極および接地間のインピーダンスを変化させることができ、利得制御が可能となる。

【0016】また、能動負荷である第1のFETは、ソース電極およびゲート電極に同じ信号が入力されて高インピーダンスを有するため、増幅器となる第2のFETは十分な利得を得ることができ、しかも抵抗負荷と比較してドレイン電流による電圧降下が小さいため、直流バイアスに変動を与えることがない。請求項2記載の構成によれば、直流バイアスおよび高周波特性について次のような作用を得ることができる。

【0017】まず、直流バイアスについて説明する。第1のFETおよび第2のFETは同じマスクパターンを有し同じプロセス条件で作成したものであるため、同じ特性が得られる。そこで、第2のFETのゲートリーク電流によるバイアス設定用ダンピング抵抗での電圧降下が十分小さくなるようにバイアス設定用ダンピング抵抗の抵抗値を設定し、利得制御端子から第3のFETのゲート電極を介して第2のFETに流出入する電流が第2のFETの最大飽和ドレイン電流より十分小さくなるように第2のFETの最大飽和ドレイン電流を設定する。

【0018】これにより、第1のFETおよび第2のFETには等しく第2のFETの最大飽和電流が流れ、第1のFETおよび第2のFETのドレイン・ソース間電圧は等しくなり、かつ、ゲート・ソース間電圧も等しくなるように自己バイアスされる。したがって、最大飽和ドレイン電流とは無関係に、出力端子の電圧は電源電圧の $1/2$ となり、安定した直流バイアスを得ることができる。

【0019】次に、高周波特性について説明する。増幅器である第2のFETのドレイン電極と高周波接地点である電源との間のインピーダンスは、第3のFETのソース入力インピーダンスが支配的になる。この第3のFETのソース入力インピーダンスは、ゲート・ソース間電圧の値により変化する。従って、第3のFETのゲート電圧すなわち利得制御端子の印加電圧を制御することにより、第2のFETのドレイン負荷のインピーダンスが変化させることができ、利得制御が可能となる。

【0020】また、能動負荷である第1のFETは、ソース電極およびゲート電極に同じ信号が入力されて高インピーダンスを有するため、増幅器である第2のFETは十分な利得を得ることができ、しかも抵抗負荷と比較してドレイン電流による電圧降下が小さいため、直流バイアスに変動を与えることがない。請求項3記載の構成によれば、直流バイアスおよび高周波特性について次のような作用を得ることができる。

【0021】まず、直流バイアスについて説明する。第

1のFETおよび第2のFETは同じマスクパターンを有し同じプロセス条件で作成したものであるため、同じ特性が得られる。そこで第2のFETのゲートリーク電流によるバイアス設定用ダンピング抵抗での電圧降下が十分小さくなるようにバイアス設定用ダンピング抵抗の抵抗値を設定し、利得制御端子から第3のFETのゲート電極を介して、第2のFETに流出入する電流が、第2のFETの最大飽和ドレイン電流より十分小さくなるように第2のFETの最大飽和ドレイン電流を設定する。

【0022】これにより、第1のFETおよび第2のFETには等しく第2のFETの最大飽和ドレイン電流が流れ、第1のFETおよび第2のFETのドレイン・ソース間電圧は等しく、かつ、ゲート・ソース間電圧も等しくなるように自己バイアスされる。したがって、最大飽和ドレイン電流とは無関係に、出力端子の電圧は電源電圧の $1/2$ になり、安定した直流バイアスを得ることができる。

【0023】次に、高周波特性について説明する。増幅器である第2のFETのドレイン電極とゲート電極との間の帰還インピーダンスは、第3のFETのドレイン・ソース間インピーダンスが支配的になる。この第3のFETのドレイン・ソース間インピーダンスは、ゲート・ソース間電圧により変化する。従って、第3のFETのゲート電圧すなわち利得制御端子の印加電圧を制御することにより、第2のFETのドレイン電極からゲート電極への帰還量が変化させることができ、利得制御が可能となる。

【0024】また、能動負荷である第1のFETは、ソース電極およびゲート電極に同じ信号が入力されて高インピーダンスを有するため、増幅器である第2のFETは十分な利得を得ることができ、しかも抵抗負荷と比較してドレイン電流による電圧降下が小さいため、直流バイアスに変動を与えることがない。請求項4記載の構成によれば、直流バイアスおよび高周波特性について次のような作用を得ることができる。

【0025】直流バイアスについては、請求項1記載の発明と同様に、第1のFET、第2のFETおよび第3のFETには等しく第3のFETの最大飽和ドレイン電流が流れ、第1のFET、第2のFETおよび第3のFETのドレイン・ソース間電圧はすべて等しくなり、かつ、ゲート・ソース間電圧もすべて等しくなるように自己バイアスされる。したがって、最大飽和ドレイン電流とは無関係に、出力端子電圧は電源電圧の $2/3$ となり、第2のFETのソース電圧は電源電圧の $1/3$ となり、安定した直流バイアスを得ることができる。

【0026】また、高周波特性については、請求項1記載の発明と同様に、増幅器となる第2のFETのソース電極と接地との間のインピーダンスは、第4のFETのドレイン入力インピーダンスが支配的となり、この第4

のFETのドレイン入力インピーダンスは、ゲート・ドレイン間電圧の値により変化させることができる。したがって、第4のFETのゲート電圧すなわち利得制御端子の印加電圧を制御することにより、第2のFETのソース電極および接地間のインピーダンスを変化させることができ、利得制御が可能となる。また、能動負荷である第1のFETは、ソース電極およびゲート電極に同じ信号が入力されて高インピーダンスを有するため、増幅器となる第2のFETは十分な利得を得ることができ、しかも抵抗負荷と比較してドレイン電流による電圧降下が小さいため、直流バイアスに変動を与えることがない。

【0027】また、第4のFETのドレイン電極とソース電極との間に接続した利得クランプ用抵抗により、側路インピーダンスが大きくなりすぎることにより生じる3次相互変調歪特性の劣化を防止することができる。また、第4のFETのゲート電極と利得制御端子との間に接続した電流クランプ用抵抗は、直流的には、第4のFETのゲート電位を低下させ、また、高周波的には第4のFETのドレイン・ゲート容量を介して利得制御端子に漏洩する信号を阻害するため、直流バイアスの変動を容易に抑えることができ、フォワード電流によるゲート破壊を回避することができ、周波数特性を改善することができる。

【0028】請求項5記載の構成によれば、直流バイアスおよび高周波特性について次のような作用を得ることができる。直流バイアスについては、請求項2記載の発明と同様に、第1のFETおよび第2のFETには等しく第2のFETの最大飽和電流が流れ、第1のFETおよび第2のFETのドレイン・ソース間電圧は等しくなり、かつ、ゲート・ソース間電圧も等しくなるように自己バイアスされる。したがって、最大飽和ドレイン電流とは無関係に、出力端子の電圧は電源電圧の1/2となり、安定した直流バイアスを得ることができる。

【0029】また、高周波特性については、請求項2記載の発明と同様に、増幅器である第2のFETのドレイン電極と高周波接地点である電源との間のインピーダンスは、第2のFETのソース入力インピーダンスが支配的になる。この第2のFETのソース入力インピーダンスは、ゲート・ソース間電圧の値により変化する。従って、第2のFETのゲート電圧すなわち利得制御端子の印加電圧を制御することにより、第2のFETのドレイン負荷のインピーダンスが変化させることができ、利得制御が可能となる。また、能動負荷である第1のFETは、ソース電極およびゲート電極に同じ信号が入力されて高インピーダンスを有するため、増幅器となる第2のFETは十分な利得を得ることができ、しかも抵抗負荷と比較してドレイン電流による電圧降下が小さいため、直流バイアスに変動を与えることがない。

【0030】また、第3のFETと利得制御端子との間

に接続した電流クランプ用抵抗は、直流的には、第3のFETのゲート電位を低下させ、高周波的には、第3のFETのソース・ゲート容量を介して利得制御端子に漏洩する信号を阻害するため、直流バイアスの変動を容易に抑えることができ、フォワード電流によるゲート破壊を回避することができ、周波数特性を改善することができる。

【0031】請求項6記載の構成によれば、直流バイアスおよび高周波特性について次のような作用を得ることができる。直流バイアスについては、請求項3記載の発明と同様に、第1のFETおよび第2のFETには等しく第2のFETの最大飽和ドレイン電流が流れ、第1のFETおよび第2のFETのドレイン・ソース間電圧は等しく、かつ、ゲート・ソース間電圧も等しくなるように自己バイアスされる。したがって、最大飽和ドレイン電流とは無関係に、出力端子の電圧は電源電圧の1/2になり、安定した直流バイアスを得ることができる。

【0032】また、高周波特性については、請求項3記載の発明と同様に、増幅器である第2のFETのドレイン電極とゲート電極との間の帰還インピーダンスは、第3のFETのドレイン・ソース間インピーダンスが支配的になる。この第3のFETのドレイン・ソース間インピーダンスは、ゲート・ソース間電圧により変化する。従って、第3のFETのゲート電圧すなわち利得制御端子の印加電圧を制御することにより、第2のFETのドレイン電極からゲート電極への帰還量が変化させることができ、利得制御が可能となる。また、能動負荷である第1のFETは、ソース電極およびゲート電極に同じ信号が入力されて高インピーダンスを有するため、増幅器である第2のFETは十分な利得を得ることができ、しかも抵抗負荷と比較してドレイン電流による電圧降下が小さいため、直流バイアスに変動を与えることがない。

【0033】また、第3のFETのドレイン電極とソース電極との間に接続した利得クランプ抵抗により、第2のFETのドレイン電極からゲート電極への帰還量が小さくなりすぎることにより生じる3次相互変調歪特性の劣化を防ぐことができる。また、第3のFETのゲート電極と利得制御端子との間に接続した電流クランプ用抵抗は、直流的には、第3のFETのゲート電位を低下させ、また、高周波的には第3のFETのドレイン・ゲート容量およびドレイン・ソース容量を介して、利得制御端子に漏洩する信号を阻害するため、直流バイアスの変動を容易に抑えることができ、フォワード電流によるゲート破壊を回避することができ、周波数特性を改善することができる。

【0034】

【実施例】図1はこの発明の第1の実施例の利得制御回路の回路構成図である。図1において、Tr1は能動負荷として用いる第1の電界効果型トランジスタ（以下「FET」という。）、Tr2はTr1と同じマスクパ

ターンを有し同じプロセス条件で作成された増幅器として用いる第2のFET、Tr3は第1のFETおよび第2のFETと同じマスクパターンを有し同じプロセス条件で作成された定電流源として用いる第3のFET、Tr4は可変能動負荷として用いる第4のFET、R1はバイアス設定用ダンピング抵抗、C1は高周波接地用コンデンサ、100は入力端子、200は出力端子、300は利得制御端子である。

【0035】図1に示すように、利得制御回路は、Tr1のドレイン電極を電源に接続し、Tr1のソース電極およびゲート電極をTr2のドレイン電極に接続し、バイアス設定用ダンピング抵抗R1をTr2のゲート電極とソース電極との間に接続し、Tr2のソース電極をTr3のドレイン電極およびTr4のドレイン電極に接続し、Tr3のゲート電極およびソース電極を接地し、高周波接地用コンデンサC1をTr4のソース電極と接地との間に接続する。そして、Tr2のゲート電極を入力端子100とし、Tr2のドレイン電極を出力端子200とし、Tr4のゲート電極を利得制御端子300としたものであり、利得制御端子300への印加電圧を変化させることにより増幅器となるTr2の利得を変化させるようにしたものである。

【0036】まず、直流バイアスについて説明する。Tr1、Tr2およびTr3は集積化することにより、ほとんど同じ特性が得られる。そこで、Tr2のゲートリーク電流によるバイアス設定用ダンピング抵抗R1での電圧降下が十分小さくなるようにバイアス設定用ダンピング抵抗R1の抵抗値を設定する。また、利得制御端子300からTr4のゲート電極を介してTr3に流出入する電流が、Tr3の最大飽和ドレイン電流（以下「 I_{DSS} 」という。）より十分小さくなるようにTr3の I_{DSS} を設定する。これにより、Tr1、Tr2およびTr3には等しくTr3の I_{DSS} が流れ、Tr1、Tr2およびTr3のドレイン・ソース間電圧（以下「 V_{DS} 」という。）はすべて等しく、かつ、ゲート・ソース間電圧（以下「 V_{GS} 」という。）もすべて等しくなるように自己バイアスされる。したがって、出力端子200の電圧は電源電圧 V_{dd} の $2/3$ 、また、Tr2のソース電圧は電源電圧 V_{dd} の $1/3$ になる。これは上述条件を満たす限り I_{DSS} に無関係に設定される。

【0037】次に、高周波特性について説明する。ソース接地型の増幅器であるTr2のソース電極と接地との間のインピーダンスは、Tr3のドレイン入力インピーダンスと、Tr4のドレイン入力インピーダンスおよび高周波接地用コンデンサC1の直列インピーダンスとの並列値となる。Tr3のドレイン入力インピーダンスは、例えば、ゲート長 $l_g = 1 [\mu m]$ とし、ゲート幅 $w_g = 250 [\mu m]$ とし、閾値電圧 $V_{th} = 0.4 V$ とすると、 $700 [\Omega]$ 程度と大きい。これに対し、高周波接地用コンデンサC1のインピーダンスは、例え

ば、 $1 [GHz]$ の信号に対し $100 [pF]$ とすると $10 [\Omega]$ と小さい。したがって、全並列値はTr4のドレイン入力インピーダンスが支配的となる。このTr4のドレイン入力インピーダンスは、 $V_{DS} = 0 V$ のインピーダンスとなるが、これはゲート・ドレイン間電圧（以下「 V_{GD} 」という。）の値により変化し、例えば、ゲート長 $l_g = 1 [\mu m]$ とし、ゲート幅 $w_g = 400 [\mu m]$ とし、閾値電圧 $V_{th} = 0.4 V$ とすると、 $V_{GD} = -0.4 V$ から $0 V$ の間で 250Ω から 20Ω の間を変化する。従って、Tr4のゲート電圧を制御することにより、Tr3の側路のインピーダンスが変化し利得制御が可能となる。

【0038】一方、能動負荷であるTr1は、ソース電極およびゲート電極に同じ信号が入力されるため、 $700 [\Omega]$ 程度の高インピーダンスを有する。すなわち、増幅器となるTr2のドレイン負荷は大きく、これにより、十分な利得を得ることができる。また、この負荷を抵抗負荷に置き換えた場合、 $I_{DSS} = 10 mA$ に対して $7 V$ もの電圧降下を生じるが、上述のように能動負荷としてTr1を使用することにより、 $2 [V]$ 程度の電位差で実現することができる。これにより、直流バイアスの変動を防止できる。

【0039】ここで、図7および図8を参照しながら、図1に示す第1の実施例の利得制御回路における出力端子バイアスの最大飽和ドレイン電流依存性と、利得の利得制御電圧依存性について述べる。図7はこの発明の第1の実施例の利得制御回路における出力端子バイアスの最大飽和ドレイン電流依存性を示す図、図8はこの発明の第1の実施例の利得制御回路における利得の利得制御電圧依存性を示す図である。なお、電源電圧を 5

$[V]$ とし、利得制御端子300の印加電圧すなわち、利得制御電圧を $1.0 \sim 1.6 [V]$ の範囲とし、また、Tr1、Tr2およびTr3はゲート幅 $w_g = 250 [\mu m]$ とし、Tr4はゲート幅 $w_g = 400 [\mu m]$ とした。また、バイアス設定用ダンピング抵抗 $R1 = 1 [k\Omega]$ 、高周波接地用コンデンサ $C1 = 1000 [pF]$ 、測定周波数は $100 [MHz]$ である。

【0040】図7に示すように、最大飽和ドレイン電流 I_{DSS} が $4.9 [mA] \sim 12.5 [mA]$ の範囲でバイアスレベルが $3.3 [V]$ で安定することがわかる。なお、この際、利得制御電圧は $1.5 [V]$ とした。また、図8に示すように、利得制御電圧が $1.0 [V] \sim 1.6 [V]$ の範囲で $+34 [dB] \sim +5 [dB]$ の範囲の利得制御が可能であることがわかる。すなわち、最大利得を与える電圧から最小利得を与える電圧の範囲は、利得制御回路の電源電圧から接地電圧の範囲内となり、これにより、利得制御用の特別な電源は不要となる。なお、この際の最大飽和ドレイン電流 I_{DSS} は $8.3 [mA]$ であった。

【0041】次に、図2はこの発明の第2の実施例の利

得制御回路の回路構成図である。図2において、 $Tr11$ は能動負荷として用いる第1の電界効果型トランジスタ（以下「FET」という。）、 $Tr12$ は $Tr11$ と同じマスクパターンを有し同じプロセス条件で作成された増幅器として用いる第2のFET、 $Tr13$ は可変能動負荷として用いる第3のFET、 $R11$ はバイアス設定用ダンピング抵抗、 $L11$ はチョークコイル、 $C11$ は高周波接地用コンデンサ、100は入力端子、200は出力端子、300は利得制御端子である。

【0042】図2に示すように、利得制御回路は、 $Tr11$ のドレイン電極を電源に接続し、 $Tr11$ のゲート電極およびソース電極を $Tr13$ のドレイン電極に接続し、高周波接地用コンデンサ $C11$ を電源と $Tr11$ のソース電極との間に接続し、 $Tr13$ のソース電極を $Tr12$ のドレイン電極に接続し、チョークコイル $L11$ を $Tr13$ のドレイン電極とソース電極との間に接続し、バイアス設定用ダンピング抵抗 $R11$ を $Tr12$ のゲート電極と接地との間に接続し、 $Tr12$ のソース電極を接地する。そして、 $Tr12$ のゲート電極を入力端子100とし、 $Tr12$ のドレイン電極を出力端子200とし、 $Tr13$ のゲート電極を利得制御端子300としたものであり、利得制御端子の印加電圧を変化させることによって増幅器となる $Tr12$ の利得を変化させるようにしたものである。

【0043】まず、直流バイアスについて説明する。 $Tr11$ および $Tr12$ は集積化することによりほとんど同じ特性が得られる。そこで、 $Tr12$ のゲートリーク電流によるバイアス設定用ダンピング抵抗 $R11$ での電圧降下が十分小さくなるようにバイアス設定用ダンピング抵抗 $R11$ の抵抗値を設定する。また、利得制御端子300から $Tr13$ のゲート電極を介して $Tr12$ に流入する電流が $Tr12$ の I_{DSS} より十分小さくなるように $Tr12$ の I_{DSS} を設定する。これにより、 $Tr11$ および $Tr12$ には等しく $Tr12$ の I_{DSS} が流れ、 $Tr11$ および $Tr12$ の V_{DS} は等しく、かつ、 V_{GS} も等しくなるように自己バイアスされる。これにより、出力端子200の電圧は電源電圧 V_{dd} の $1/2$ になる。これは、上述条件を満たす限り I_{DSS} に無関係に設定される。

【0044】次に、高周波特性について説明する。ソース接地型の増幅器である $Tr12$ のドレイン電極と高周波接地点である電源との間のインピーダンスは、 $Tr13$ のソース入力インピーダンスおよびチョークコイル $L11$ のインピーダンスの並列インピーダンスと、 $Tr11$ のソース入力インピーダンスおよび高周波接地用コンデンサ $C11$ の並列インピーダンスとの直列値となるが、 $Tr11$ のソース入力インピーダンスは、ソース電極およびゲート電極に同じ信号が入力されるため、ゲート長 $l_g = 1 [\mu m]$ とし、ゲート幅 $w_g = 250 [\mu m]$ とし、閾値電圧 $V_{th} = 0.4 [V]$ とすると、7

00 $[\Omega]$ 程度と大きい。また、高周波接地用コンデンサ $C11$ のインピーダンスは、例えば1 $[GHz]$ の信号に対し100 $[pF]$ とすると10 $[\Omega]$ と小さくなる。これにより、 $Tr11$ および高周波接地用コンデンサ $C11$ の並列インピーダンスは10 $[\Omega]$ 以下となる。また、チョークコイル $L11$ のインピーダンスは、1 $[GHz]$ の信号に対し1 $[\mu H]$ とすると1 $[k\Omega]$ となる。したがって、全直列値では $Tr13$ のソース入力インピーダンスが支配的になる。 $Tr13$ のソース入力インピーダンスは、 $V_{DS} = 0 V$ のインピーダンスとなるが、これは V_{GS} の値により変化し、例えばゲート長 $l_g = 1 [\mu m]$ とし、ゲート幅 $w_g = 400 [\mu m]$ とし、閾値電圧 $V_{th} = 0.4 V$ とすると、 $V_{GS} = -0.4 V$ から $0 V$ の間で250 Ω から20 Ω の間を変化する。従って、 $Tr13$ のゲート電圧の制御することにより、 $Tr12$ のドレイン負荷のインピーダンスが変化し利得制御が可能となる。

【0045】また、上述のように能動負荷である $Tr11$ は、700 Ω 程度の高インピーダンスを有する。すなわち、増幅器となる $Tr12$ のドレイン負荷は大きくなり、これにより、十分な利得を得ることができる。また、この負荷を抵抗負荷に置き換えた場合、 $I_{DSS} = 10 mA$ に対して7 Vもの電圧降下を生じるが、能動負荷として $Tr11$ を使用することにより2 V程度の電位差で実現することができる。これにより、直流バイアスの変動を防止できる。

【0046】ここで、図9および図10を参照しながら、図2に示す第2の実施例の利得制御回路における出力端子バイアスの最大飽和ドレイン電流依存性と、利得の利得制御電圧依存性について述べる。図9はこの発明の第2の実施例の利得制御回路における出力端子バイアスの最大飽和ドレイン電流依存性を示す図、図10はこの発明の第2の実施例の利得制御回路における利得の利得制御電圧依存性を示す図である。

【0047】なお、電源電圧を5 $[V]$ とし、利得制御端子300の印加電圧すなわち、利得制御電圧を2.0 ~ 2.5 $[V]$ の範囲とし、また、 $Tr11$ 、 $Tr12$ および $Tr13$ はゲート幅 $w_g = 250 [\mu m]$ とした。また、バイアス設定用ダンピング抵抗 $R11 = 1 [k\Omega]$ 、 $C11 = 1000 [pF]$ 、チョークコイル $L11 = 1 [\mu H]$ 、測定周波数は100 $[MHz]$ である。

【0048】図9に示すように、最大飽和ドレイン電流 I_{DSS} が5.1 $[mA]$ ~ 13.0 $[mA]$ の範囲でバイアスレベルが2.5 $[V]$ で安定することがわかる。なお、この際、利得制御電圧は2.5 $[V]$ とした。図10に示すように、利得制御電圧が2.0 $[V]$ ~ 2.5 $[V]$ の範囲で+35 $[dB]$ ~ +8 $[dB]$ の範囲の利得制御が可能であることがわかる。すなわち、最大利得を与える電圧から最小利得を与える電圧の範囲は、

利得制御回路の電源電圧から接地電圧の範囲内となり、これにより、利得制御用の特別な電源は不要となる。なお、この際、最大飽和ドレイン電流 I_{DSS} は8.7[mA]であった。

【0049】なお、上述、第2の実施例では、高周波接地用コンデンサC11を電源とTr11のソース電極との間に接続したが、Tr11のソース電極および接地間に接続しても同様の効果を得ることができる。次に、図3はこの発明の第3の実施例の利得制御回路を示す回路構成図である。

【0050】図3において、Tr21は能動負荷として用いる第1の電界効果型トランジスタ（以下「FET」という。）、Tr22はTr21と同じマスクパターンを有し同じプロセス条件で作成された増幅器として用いる第2のFET、Tr23は可変能動負荷として用いる第3のFET、R21はバイアス設定用ダンピング抵抗、C21は結合コンデンサ、100は入力端子、200は出力端子、300は利得制御端子である。

【0051】図3に示すように、利得制御回路は、Tr21のドレイン電極を電源に接続し、Tr21のソース電極およびゲート電極をTr22のドレイン電極に接続し、バイアス設定用ダンピング抵抗R1をTr22のゲート電極と接地との間に接続し、Tr22のソース電極を接地し、Tr23のドレイン電極を第2のFETのドレイン電極に接続し、高周波接地用コンデンサC21をTr23のソース電極およびTr22のゲート電極に接続する。そして、Tr22のゲート電極を入力端子100とし、Tr22のドレイン電極を出力端子200とし、Tr23のゲート電極を利得制御端子300としたものであり、利得制御端子300の印加電圧を変化させることによって増幅器となるTr22の利得を変化させるようにしたものである。

【0052】まず、直流バイアスについて説明する。Tr21およびTr22は集積化することにより、ほとんど同じ特性が得られる。そこでTr22のゲートリーク電流によるバイアス設定用ダンピング抵抗R21での電圧降下が十分小さくなるようにバイアス設定用ダンピング抵抗R21の抵抗値を設定する。また、利得制御端子300からTr23のゲート電極を介して、Tr22に流出入する電流が、Tr22の I_{DSS} より十分小さくなるようにTr22の I_{DSS} を設定する。これにより、Tr21およびTr22には等しくTr22の I_{DSS} が流れ、Tr21およびTr22の V_{DS} は等しく、かつ、 V_{GS} も等しくなるように自己バイアスされる。これにより、出力端子200の電圧は電源電圧 V_{dd} の1/2になる。これは上述条件を満たす限り I_{DSS} に無関係に設定される。

【0053】次に、高周波特性について説明する。ソース接地型の増幅器であるTr22のドレイン電極とゲート電極との間の帰還インピーダンスは、Tr23のドレ

イン・ソース間インピーダンスと高周波接地用コンデンサC21のインピーダンスとの直列値となるが、高周波接地用コンデンサC21のインピーダンスは、例えば1[GHz]の信号に対し100[pF]とすると10[Ω]と小さいため、Tr23のドレイン・ソース間インピーダンスが支配的になる。Tr23のソース入力インピーダンスは、 $V_{DS}=0V$ のインピーダンスとなるが、これは V_{GS} の値により変化し、例えばゲート長 $l_g=1[\mu m]$ とし、ゲート幅 $w_g=400[\mu m]$ とし、閾値電圧 $V_{th}=0.4V$ とすると、 $V_{GS}=-0.4V$ から0Vの間で250Ωから20Ωの間を変化する。従って、Tr23のゲート電圧の制御することにより、Tr22のドレイン電極からゲート電極への帰還量が増減し利得制御が可能となる。

【0054】一方、能動負荷であるTr21は、ソース電極およびゲート電極に同じ信号が入力されるため、700Ω程度の高インピーダンスを有する。すなわち、増幅器となるTr2のドレイン負荷は大きく、これにより、十分な利得を得ることができる。また、この負荷を抵抗負荷に置き換えた場合、 $I_{DSS}=10mA$ に対して7Vもの電圧降下を生じるが能動負荷としてTr21を使用することにより2V程度の電位差で実現することができる。これにより、直流バイアスの変動を防止することができる。

【0055】ここで、図11および図12を参照しながら、図3に示す第3の実施例の利得制御回路における出力端子バイアスの最大飽和ドレイン電流依存性と、利得の利得制御電圧依存性について述べる。図11はこの発明の第3の実施例の利得制御回路における出力端子バイアスの最大飽和ドレイン電流依存性を示す図、図12はこの発明の第3の実施例の利得制御回路における利得の利得制御電圧依存性を示す図である。

【0056】なお、電源電圧を5[V]とし、利得制御端子300の印加電圧すなわち、利得制御電圧を2.0~2.5[V]の範囲とし、また、Tr21、Tr22およびTr23はゲート幅 $w_g=250[\mu m]$ とした。また、バイアス設定用ダンピング抵抗 $R_{21}=1[k\Omega]$ 、結合コンデンサ $C_{21}=1000[pF]$ 、測定周波数は100[MHz]である。

【0057】図11に示すように、最大飽和ドレイン電流 I_{DSS} が5.1[mA]~13.0[mA]の範囲でバイアスレベルが2.5[V]で安定することがわかる。なお、この際、利得制御電圧は2.5[V]とした。図12に示すように、利得制御電圧2.0[V]~2.5[V]で+37[dB]~-15[dB]の利得制御が可能であることがわかる。すなわち、最大利得を与える電圧から最小利得を与える電圧の範囲は、利得制御回路の電源電圧から接地電圧の範囲内となり、これにより、利得制御用の特別な電源は不要となる。なお、この際、最大飽和ドレイン電流 I_{DSS} は8.7[mA]で

あった。

【0058】次に、図4はこの発明の第1の実施例の半導体装置の構成を示す回路図である。図4において、 T_r1 は能動負荷として用いる第1の電界効果型トランジスタ（以下、「FET」という。）、 T_r2 は T_r1 と同じマスクパターンを有し同じプロセス条件で作成された増幅器として用いる第2のFET、 T_r3 は T_r1 および T_r2 と同じマスクパターンを有し同じプロセス条件で作成された定電流源として用いる第3のFET、 T_r4 は可変能動負荷として用いる第4のFET、 T_r5 はソースフォロアとして用いる第5のFET、 T_r6 は定電流源として用いる第6のFET、 $R1$ はバイアス設定用ダンピング抵抗、 $R2$ は利得クランプ用抵抗、 $R3$ は電流クランプ用抵抗、100は入力端子、200は出力端子、300は利得制御端子、400は高周波接地端子、500は接地端子、600は電源端子である。

【0059】図4に示すように、 T_r1 のドレイン電極を電源端子600に接続し、 T_r1 のソース電極およびゲート電極を T_r2 のドレイン電極に接続し、バイアス設定用ダンピング抵抗 $R1$ を T_r2 のゲート電極とソース電極との間に接続し、 T_r2 のソース電極を T_r3 のドレイン電極および T_r4 のドレイン電極に接続し、 T_r3 のゲート電極およびソース電極を接地端子500に接続し、利得クランプ用抵抗 $R2$ を T_r4 のドレイン電極とソース電極との間に接続し、電流クランプ用抵抗 $R3$ を T_r4 のゲート電極と利得制御端子300との間に接続し、 T_r5 のドレイン電極を電源端子600に接続し、 T_r5 のゲート電極を T_r2 のドレイン電極に接続し、 T_r5 のソース電極を T_r6 のドレイン電極に接続し、 T_r6 のゲート電極およびソース電極を接地端子500に接続する。そして、 T_r2 のゲート電極を入力端子100とし、 T_r5 のソース電極を出力端子200とし、 T_r4 のソース電極を高周波接地端子400とし、さらに、高周波接地端子400と、接地端子500もしくは電源端子600などの高周波接地点との間に高周波接地用コンデンサ（図示せず）を外付けしたものであり、利得制御端子300の印加電圧を変化させることにより増幅器となる T_r3 の利得を変化させるようにしたものである。

【0060】このように構成した半導体装置は、図1に示す第1の実施例の利得制御回路から集積化しにくい大容量の高周波接地用コンデンサ $C1$ を外付けとし、出力バッファをソースフォロアとなる T_r5 により構成し、利得クランプ用抵抗 $R2$ および電流クランプ用抵抗 $R3$ を加えたものである。したがって、第1の実施例の利得回路と同様に、 T_r1 、 T_r2 および T_r3 の V_{DS} はすべて等しくなるように自己バイアスされる。これにより、 I_{DSS} と無関係に出力端子200の電圧は、電源電圧 V_{dd} の $2/3$ に固定され、また、 T_r2 のソース電圧は電源電圧 V_{dd} の $1/3$ に固定される。また、 T_r4 の

ゲート電圧を制御することにより、 T_r3 の側路のインピーダンスが変化し利得制御が可能となる。

【0061】また、出力端子200のバイアスレベル変動については、 T_r5 は T_r6 の I_{DSS} により駆動されるためこの電流を流す V_{GS} が生じる。この値は T_r6 の I_{DSS} 変動に依存するが、 V_{GS} の変動に対する I_{DS} の変化は小さく、例えばゲート長 $l_g=1[\mu m]$ 、ゲート幅 $w_g=500[\mu m]$ 、閾値電圧 $V_{th}=0.4V$ 、コンダクタンス $g_m=100[mS]$ とすると、 T_r6 の I_{DSS} が $10mA$ 変動しても V_{GS} は $0.1V$ の変動しか生じない。これは、 T_r5 のゲート電圧が電源電圧 V_{dd} の $2/3$ で固定されていることより、 T_r5 および T_r6 を飽和領域で用いるということに関し極めて安定なバイアスレベルである。

【0062】また、利得クランプ用抵抗 $R2$ は、側路インピーダンスが大きくなりすぎることにより生じる3次相互変調歪特性の劣化を防止するためのものである。また、電流クランプ用抵抗 $R3$ は、次のような2つの働きを有するものである。すなわち、直流的には、利得制御端子300と T_r2 のソース電極との差電圧がショットキ障壁より大きくなる場合に T_r4 のゲートから T_r3 に大電流が流れることがあるため、これを防止するために電流クランプ抵抗 $R3$ により電圧降下を生じさせ T_r4 のゲート電位を下げる。また、高周波的には T_r4 のドレイン・ゲート容量を介して、利得制御端子300に漏洩する信号を阻害する。従って、電流クランプ用抵抗 $R3$ を挿入することにより、直流バイアスの変動を容易に抑えることができ、フォアード電流によるゲート破壊を回避することができ、周波数特性を改善することができる。さらに、 T_r5 はソースフォロアであり広帯域にわたり出力インピーダンスを小さくすることにより、負荷に安定に電力を供給することができる。

【0063】ここで、図13および図14を参照しながら、図4に示す第1の実施例の半導体装置における利得の利得制御電圧依存性と、3次相互変調歪抑圧比の利得圧縮量依存性について述べる。図13はこの発明の第1の実施例の半導体装置における利得の利得制御電圧依存性を示す図、図14はこの発明の第1の実施例の半導体装置における3次相互変調歪抑圧比の利得圧縮量依存性を示す図である。

【0064】なお、電源電圧を $5[V]$ とし、利得制御端子300の印加電圧すなわち、利得制御電圧を $1.2\sim 2.0[V]$ の範囲とし、また、 T_r1 、 T_r2 および T_r3 のゲート幅 $w_g=250[\mu m]$ 、 T_r4 のゲート幅 $w_g=400[\mu m]$ 、 T_r5 のゲート幅 $w_g=250[\mu m]$ 、 T_r6 のゲート幅 $w_g=500[\mu m]$ とした。また、バイアス設定用ダンピング抵抗 $R1=1[k\Omega]$ 、利得クランプ用抵抗 $R2=1k\Omega$ 、電流クランプ用抵抗 $R3=10[k\Omega]$ とした。また、高周波接地用コンデンサは容量 $1000[pF]$ とし、高周

波接地端子400と接地端子500との間に実装した。

【0065】図13に示すように、利得制御電圧が1.0[V]～1.6[V]の範囲で+24[dB]～+4[dB]の範囲の利得制御が可能であることがわかる。すなわち、最大利得を与える電圧から最小利得を与える電圧の範囲は、利得制御回路の電源電圧から接地電圧の範囲内となり、これにより、利得制御用の特別な電源は不要となる。なお、この際、測定周波数を400[MHz]とし、また、最大飽和ドレイン電流 I_{DSS} は8.3[mA]であった。

【0066】また、図14に示す3次相互変調歪抑圧比の利得圧縮量依存性において、3次相互変調歪成分は、400[MHz]および450[MHz]の2信号を入力レベル-30[dBm]で入力した場合に発生する350[MHz]の3次相互変調歪出力成分とし、信号成分は400[MHz]の信号を-30[dBm]で入力した場合の出力成分とした。この14図より明らかなように、利得圧縮量15[dB]まで3次相互変調歪60[dBc]以上の性能が得られることがわかる。

【0067】次に、図5はこの発明の第2の実施例の半導体装置の構成を示す回路図である。図5において、Tr11は能動負荷として用いる第1の電界効果型トランジスタ（以下「FET」という。）、Tr12はTr11と同じマスクパターンを有し同じプロセス条件で作成された増幅器として用いる第2のFET、Tr13は可変能動負荷として用いる第3のFET、Tr14はソースフォロアとして用いる第4のFET、Tr15は定電流源として用いる第5のFET、R11はバイアス設定用ダンピング抵抗、R12は電流クランプ用抵抗、100は入力端子、200は出力端子、300は利得制御端子、400は高周波接地端子、500は接地端子、600は電源端子、700はチョークコイル用端子である。

【0068】図5に示すように、半導体装置は、Tr11のドレイン電極を電源端子600に接続し、Tr11のゲート電極およびソース電極をTr13のドレイン電極に接続し、Tr11のソース電極を高周波接地端子400に接続し、電流クランプ用抵抗R12をTr13のゲート電極と利得制御端子300との間に接続し、Tr13のソース電極をTr12のドレイン電極に接続し、Tr13のソース電極をチョークコイル用端子700に接続し、利得クランプ用抵抗R11をTr12のゲート電極と接地端子500との間に接続し、Tr12のソース電極を接地端子500に接続し、Tr14のドレイン電極を電源端子600に接続し、Tr12のドレイン電極をTr14のゲート電極に接続し、Tr14のソース電極をTr15のドレイン電極に接続し、Tr15のゲート電極およびソース電極を接地端子500に接続する。そして、Tr12のゲート電極を入力端子100とし、Tr14のソース電極を出力端子200とする。さらに、高周波接地用コンデンサ（図示せず）を高周波接

地端子400と接地端子500もしくは電源端子600などの高周波接地点との間に外付けし、また、チョークコイル（図示せず）を高周波接地端子400とチョークコイル用端子700に外付けしたものである。これにより、利得制御端子300の印加電圧を変化させることにより増幅器となるTr12の利得を変化させる。

【0069】このように構成した半導体装置は、図2に示す利得制御回路から集積化しづらい大容量の高周波接地用コンデンサC1およびチョークコイルL11を外付けとし、出力バッファをソースフォロアとなるTr14により構成し、電流クランプ用抵抗R12を加えたものである。したがって、第2の実施例の利得制御回路と同様に、Tr11およびTr12の V_{DS} は等しくなるように自己バイアスされる。これにより、 I_{DSS} に無関係に出力端子200の電圧は電源電圧 V_{dd} の1/2に固定される。また、Tr13のゲート電圧を制御することにより、Tr12の負荷インピーダンスが変化し利得制御が可能となる。

【0070】また、出力端子のバイアスレベル変動については、Tr14はTr15の I_{DSS} により駆動されるためこの電流を流す V_{GS} が生じる。この値はTr15の I_{DSS} 変動に依存するが、 V_{GS} の変動に対する I_{DS} の変化は小さく、例えばゲート長 $l_g=1[\mu m]$ 、ゲート幅 $w_g=500[\mu m]$ 、閾値電圧 $V_{th}=0.4V$ 、コンダクタンス $g_m=100mS$ とすると、Tr15の I_{DSS} が10mA変動しても V_{GS} は0.1Vの変動しか生じない。これはTr14のゲート電圧が電源電圧 V_{dd} の1/2で固定されていることよりTr14およびTr15を飽和領域で用いるということに関し極めて安定なバイアスレベルである。

【0071】また、電流クランプ用抵抗R12は、次のような2つの働きを有するものである。すなわち、直流的には、利得制御端子300とTr11のソース電極との差電圧がショットキ障壁より大きくなる場合に、Tr13のゲートからTr12に大電流が流れることがあるため、これを防止するために電流クランプ用抵抗R12により電圧降下を生じさせTr13のゲート電位を下げる。また、高周波的には、Tr13のソース・ゲート容量を介して利得制御端子300に漏洩する信号を阻害する。従って、電流クランプ用抵抗R12をTr13のゲート電極と利得制御端子300との間に挿入することにより、直流バイアスの変動を容易に抑えることができ、フォワード電流によるゲート破壊を回避することができ、周波数特性を改善することができる。

【0072】また、Tr14はソースフォロアであり広帯域にわたり出力インピーダンスを小さくすることにより、負荷に安定に電力を供給することができる。さらに、負荷インピーダンスが大きくなりすぎることにより生じる3次相互変調歪特性の劣化を防ぐため、高周波接地端子400とチョークコイル用端子700との間にチ

ョークコイルと並列に利得クランプ用抵抗（図示せず）を挿入することが可能である。

【0073】ここで、図15および図16を参照しながら、図5に示す第2の実施例の半導体装置における利得の利得制御電圧依存性と、3次相互変調歪抑圧比の利得圧縮量依存性について述べる。図15はこの発明の第2の実施例の半導体装置における利得の利得制御電圧依存性を示す図、図16はこの発明の第2の実施例の半導体装置における3次相互変調歪抑圧比の利得圧縮量依存性を示す図である。

【0074】なお、電源電圧を5[V]とし、利得制御端子300の印加電圧すなわち、利得制御電圧を2.0～2.5[V]の範囲とし、Tr11、Tr12およびTr13はゲート幅 $w_g = 250$ [μm]、Tr14はゲート幅 $w_g = 500$ [μm]、Tr15はゲート幅 $w_g = 500$ [μm]とした。また、電流クランプ用抵抗 $R_{11} = 1$ [$\text{k}\Omega$]とし、バイアス設定用ダンピング抵抗 $R_{12} = 10$ [$\text{k}\Omega$]とした。また、外付けの高周波接地用コンデンサは容量1000 [pF]とし、高周波接地端子400と接地端子500との間に実装し、チョークコイルはインダクタンス1 [μH]とし、高周波接地端子400とチョークコイル用端子700との間に実装した。さらに、利得クランプ用抵抗（図示せず）として1 [$\text{k}\Omega$]の抵抗を高周波接地端子400とチョークコイル用端子700との間に実装した。

【0075】図15に示すように、利得制御電圧が2.0[V]～3.0[V]の範囲で+22[dB]～+3[dB]の範囲の利得制御が可能であることがわかる。すなわち、最大利得を与える電圧から最小利得を与える電圧の範囲は、利得制御回路の電源電圧から接地電圧の範囲内となり、これにより、利得制御用の特別な電源は不要となる。なお、この際、測定周波数は400[MHz]であり、最大飽和ドレイン電流 I_{DSS} は8.9[mA]であった。

【0076】また、図15に示す3次相互変調歪抑圧比の利得圧縮量依存性において、3次相互変調歪成分は、400[MHz]および450[MHz]の2信号を入力レベル-30[dBm]で入力した場合に発生する350[MHz]の3次相互変調歪出力成分とし、信号成分は400[MHz]の信号を-30[dBm]で入力した場合の出力成分とした。この15図より明らかなように、利得圧縮量10[dB]まで3次相互変調歪60[dBc]以上の性能が得られることがわかる。

【0077】次に、図6はこの発明の第3の実施例の半導体装置の構成を示す回路図である。図6において、Tr21は能動負荷として用いる第1の電界効果型トランジスタ（以下、「FET」という。）、Tr22はTr2と同じマスクパターンを有し同じプロセス条件で作成された増幅器として用いる第2のFET、Tr23は可変能動負荷として用いる第3のFET、Tr24はソー

スフォロアとして用いる第4のFET、Tr25は定電流源として用いる第5のFET、R21はバイアス設定用ダンピング抵抗、R22は利得クランプ用ダンピング抵抗、R23は電流クランプ用抵抗、100は入力端子、200は出力端子、300は利得制御端子、500は接地端子、600は電源端子、800は結合コンデンサ用端子である。

【0078】図6に示すように、半導体装置は、Tr21のドレイン電極を電源端子600に接続し、Tr21のゲート電極およびソース電極をTr22のドレイン電極に接続し、Tr22のゲート電極と接地端子500との間にバイアス設定用ダンピング抵抗R21を接続し、Tr22のソース電極を接地端子500に接続し、Tr23のドレイン電極をTr22のドレイン電極に接続し、電流クランプ用抵抗R22をTr23のドレイン電極とソース電極との間に接続し、Tr23のソース電極を結合コンデンサ用端子800に接続し、利得クランプ用抵抗R23をTr23のゲート電極と利得制御端子300との間に接続し、Tr24のドレイン電極を電源端子600に接続し、Tr22のドレイン電極をTr24のゲート電極に接続し、Tr24のソース電極をTr25のドレイン電極に接続し、Tr25のゲート電極およびソース電極を接地端子500に接続する。そして、Tr22のゲート電極を入力端子とし、Tr24のソース電極を出力端子とする。さらに、結合コンデンサ（図示せず）を結合コンデンサ用端子800と入力端子100との間に外付けしたものである。これにより、利得制御端子300の印加電圧を変化させることにより増幅器となるTr22の利得を変化させる。

【0079】このように構成した半導体装置は、図3に示す第3の利得制御回路から集積化しづらい大容量の結合コンデンサ21を外付けとし、出力バッファをソースフォロアとなるTr24により構成し、利得クランプ用抵抗R22および電流クランプ用抵抗R23を加えたものである。したがって、第3の実施例の利得制御回路と同様に、Tr21およびTr22の V_{DS} は等しくなるように自己バイアスされる。これにより、 I_{DSS} に無関係に、出力端子200の電圧は電源電圧 V_{dd} の1/2となる。また、Tr23のゲート電圧の制御することにより、Tr22のドレイン電極からゲート電極への帰還量が変化し利得制御が可能となる。

【0080】また、出力端子200のバイアスレベル変動については、Tr24はTr25の I_{DSS} により駆動されるためこの電流を流す V_{GS} が生じる。この値はTr25の I_{DSS} 変動に依存するが、 V_{GS} の変動に対する I_{DS} の変化は小さく、例えばゲート長 $l_g = 1$ [μm]、ゲート幅 $w_g = 500$ [μm]、閾値電圧 $V_{\text{th}} = 0.4$ V、コンダクタンス $g_m = 100$ [mS]とすると、Tr25の I_{DSS} が10mA変動しても V_{GS} は0.1Vの変動しか生じない。これは、Tr24のゲート電圧が

電源電圧 V_{dd} の $1/2$ で固定されていることより、 Tr_{24} および Tr_{25} を飽和領域で用いるということに関し極めて安定なバイアスレベルである。

【0081】また、利得クランプ抵抗 R_{22} は、 Tr_{22} のドレイン電極からゲート電極への帰還量が小さくなりすぎることにより生じる3次相互変調歪特性の劣化を防ぐためのものである。また、電流クランプ用抵抗 R_{23} は、次のような2つの働きを有するものである。すなわち、直流的には、利得制御端子300と Tr_{23} のドレイン電極との差電圧がショットキ障壁より大きくなる場合に、 Tr_{23} のゲート電極から Tr_{22} に大電流が流れることがあるため、これを防止するために電流クランプ用抵抗 R_{23} により電圧降下を生じさせ Tr_{23} のゲート電位を下げる。また、高周波的には Tr_{23} のドレイン・ゲート容量およびドレイン・ソース容量を介して、利得制御端子300に漏洩する信号を阻害する。従って、電流クランプ用抵抗 R_{23} を挿入することにより直流バイアスの変動を容易に抑えることができ、フォワード電流によるゲート破壊を回避することができ、周波数特性を改善することができる。さらに、 Tr_{24} はソ

ースフォロアであり広帯域にわたり出力インピーダンスを小さくすることにより、負荷に安定に電力を供給することができる。

【0082】ここで、図17および図18を参照しながら、図6に示す第3の実施例の半導体装置における利得の利得制御電圧依存性と、3次相互変調歪抑圧比の利得圧縮量依存性について述べる。図17はこの発明の第3の実施例の半導体装置における利得の利得制御電圧依存性を示す図、図18はこの発明の第3の実施例の半導体装置における3次相互変調歪抑圧比の利得圧縮量依存性を示す図である。

【0083】なお、電源電圧を5[V]とし、利得制御端子300の印加電圧すなわち、利得制御電圧を2.0~3.0[V]とし、 Tr_{21} および Tr_{22} はゲート幅 $w_g = 250[\mu m]$ 、 Tr_{23} はゲート幅 $w_g = 250[\mu m]$ 、 Tr_{24} はゲート幅 $w_g = 500[\mu m]$ 、 Tr_{25} はゲート幅 $w_g = 500[\mu m]$ とした。また、バイアス設定用ダンピング抵抗 $R_{21} = 1[k\Omega]$ 、利得クランプ用抵抗 $R_{22} = 1[k\Omega]$ 、電流クランプ用抵抗 $R_{23} = 10[k\Omega]$ とした。また、結合コンデンサは容量1000[pF]とし、結合コンデンサ用端子800と入力端子100との間に実装した。

【0084】図17に示すように、利得制御電圧が2.0[V]~3.0[V]の範囲で+14[dB]~-22[dB]の範囲の利得制御が可能であることがわかる。すなわち、最大利得を与える電圧から最小利得を与える電圧の範囲は、利得制御回路の電源電圧から接地電圧の範囲内となり、これにより、利得制御用の特別な電源は不要となる。なお、この際、測定周波数は400

[MHz]であり、最大飽和ドレイン電流 I_{DSS} は8.9[mA]であった。

【0085】また、図18に示す3次相互変調歪抑圧比の利得圧縮量依存性において、3次相互変調歪成分は、400[MHz]および450[MHz]の2信号を入力レベル-30[dBm]で入力した場合に発生する350[MHz]の3次相互変調歪出力成分とし、信号成分は400[MHz]の信号を-30[dBm]で入力した場合の出力成分とした。この18図より明らかなように、利得圧縮量10[dB]まで3次相互変調歪60[dBc]以上の性能が得られることがわかる。

【0086】なお、この発明は上記実施例に限定されるものではなく、この発明の趣旨に基付け手種々の変形が可能であり、これらをこの発明の範囲から排除するものではない。

【0087】

【発明の効果】以上、説明したように、この発明の利得制御回路および半導体装置によれば、最大飽和ドレイン電流のばらつきが大きく、電源電圧が小さい場合にも、各FETを飽和領域で動作させるのに十分なドレイン・ソース間電圧を設定することができ、かつ、低3次相互変調歪積特性を有し、十分な利得および安定した直流バイアスを同時に得ることができる。また、最大利得を与える電圧から最小利得を与える電圧の範囲が、利得制御回路の電源電圧から接地電圧の範囲内となるため、利得制御用の特別な電源が不要となる。さらに、利得制御回路を集積化した半導体装置は、外部端子が少なく、必要とする外付部品が少ないため、組立工程の省力化を図ることができる。

【図面の簡単な説明】

【図1】この発明の第1の実施例の利得制御回路の回路構成図である。

【図2】この発明の第2の実施例の利得制御回路の回路構成図である。

【図3】この発明の第3の実施例の利得制御回路の回路構成図である。

【図4】この発明の第1の実施例の半導体装置の構成を示す回路図である。

【図5】この発明の第2の実施例の半導体装置の構成を示す回路図である。

【図6】この発明の第3の実施例の半導体装置の構成を示す回路図である。

【図7】この発明の第1の実施例の利得制御回路における出力端子バイアスの最大飽和ドレイン電流依存性を示す図である。

【図8】この発明の第1の実施例の利得制御回路における利得の利得制御電圧依存性を示す図である。

【図9】この発明の第2の実施例の利得制御回路における出力端子バイアスの最大飽和ドレイン電流依存性を示す図である。

【図 10】 この発明の第 2 の実施例の利得制御回路における利得の利得制御電圧依存性を示す図である。

【図 11】 この発明の第 3 の実施例の利得制御回路における出力端子バイアスの最大飽和ドレイン電流依存性を示す図である。

【図 1 2】この発明の第 3 の実施例の利得制御回路における利得の利得制御電圧依存性を示す図である。

【図 13】この発明の第 1 の実施例の半導体装置における利得の利得制御電圧依存性を示す図である。

【図 14】この発明の第 1 の実施例の半導体装置における 3 次相互変調歪抑圧比の利得圧縮量依存性を示す図である。

【図 15】この発明の第 2 の実施例の半導体装置における利得の利得制御電圧依存性を示す図である。

【図 16】この発明の第 2 の実施例の半導体装置における 3 次相互変調歪抑圧比の利得圧縮量依存性を示す図である。

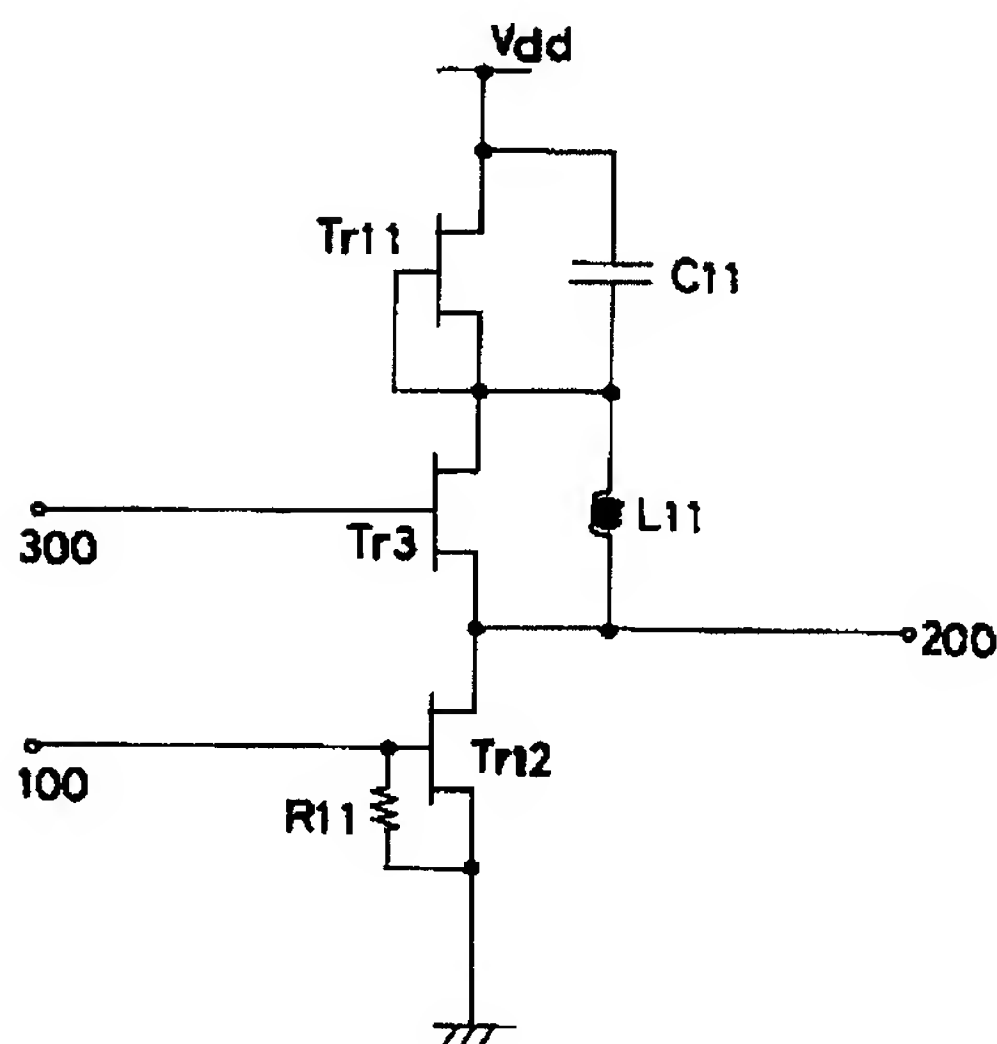
【図 17】この発明の第 3 の実施例の半導体装置における利得の利得制御電圧依存性を示す図である。

【図 18】この発明の第 3 の実施例の半導体装置における 3 次相互変調歪抑圧比の利得圧縮量依存性を示す図である。

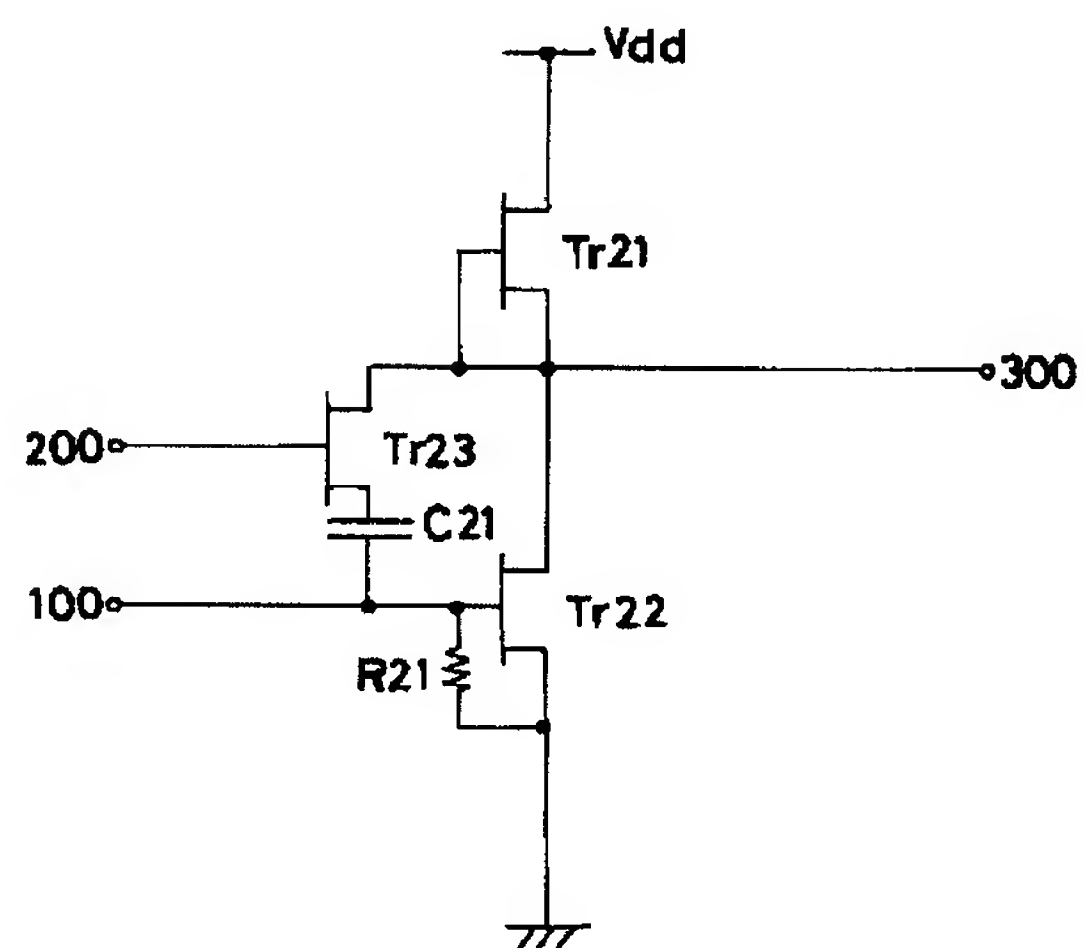
【符号の説明】

Tr 1	能動負荷として用いる第1のFET
Tr 2	増幅器として用いる第2のFET
Tr 3	定電流源として用いる第3のFET
Tr 4	可変能動負荷として用いる第4のFET
R 1	バイアス設定用ダンピング抵抗
C 1	高周波接地用コンデンサ
Tr 1 1	能動負荷として用いる第1のFET

【図 2】

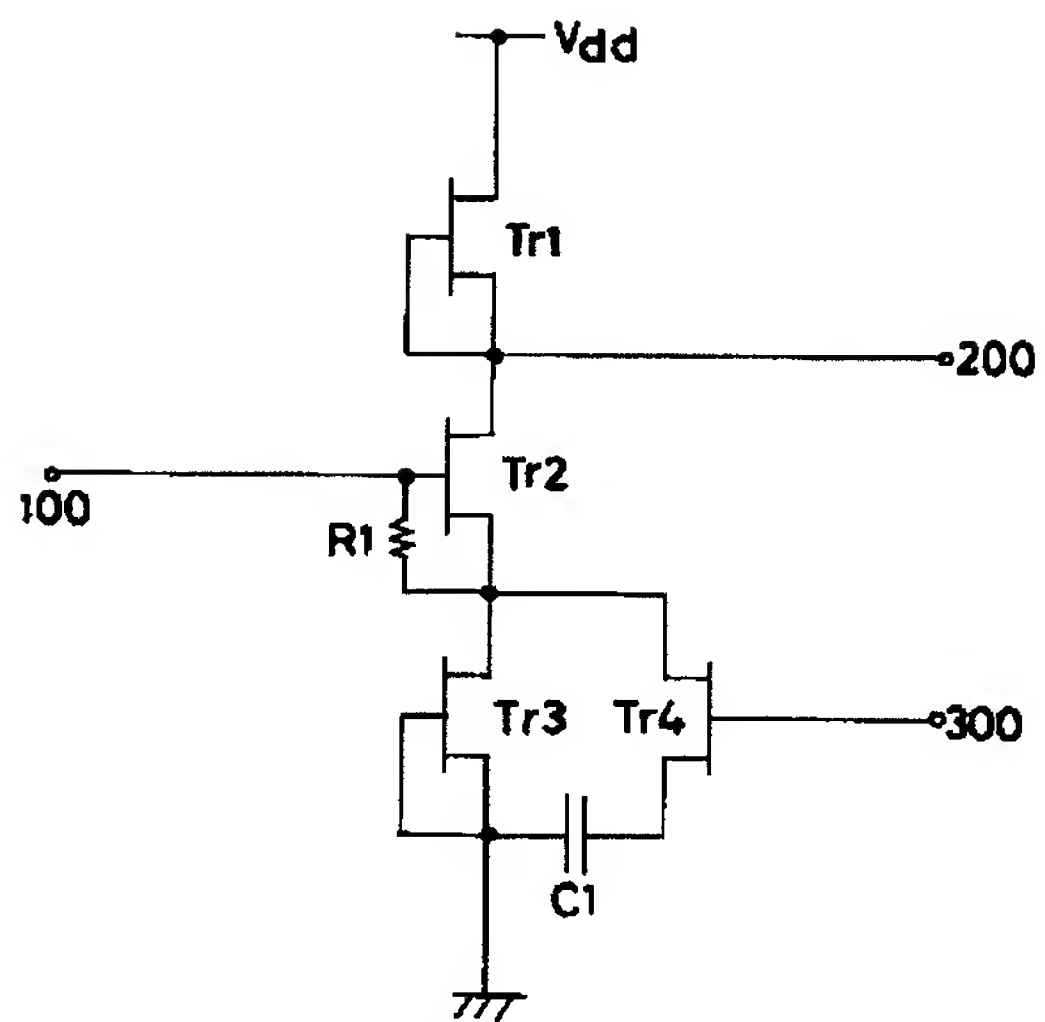


【図 3】



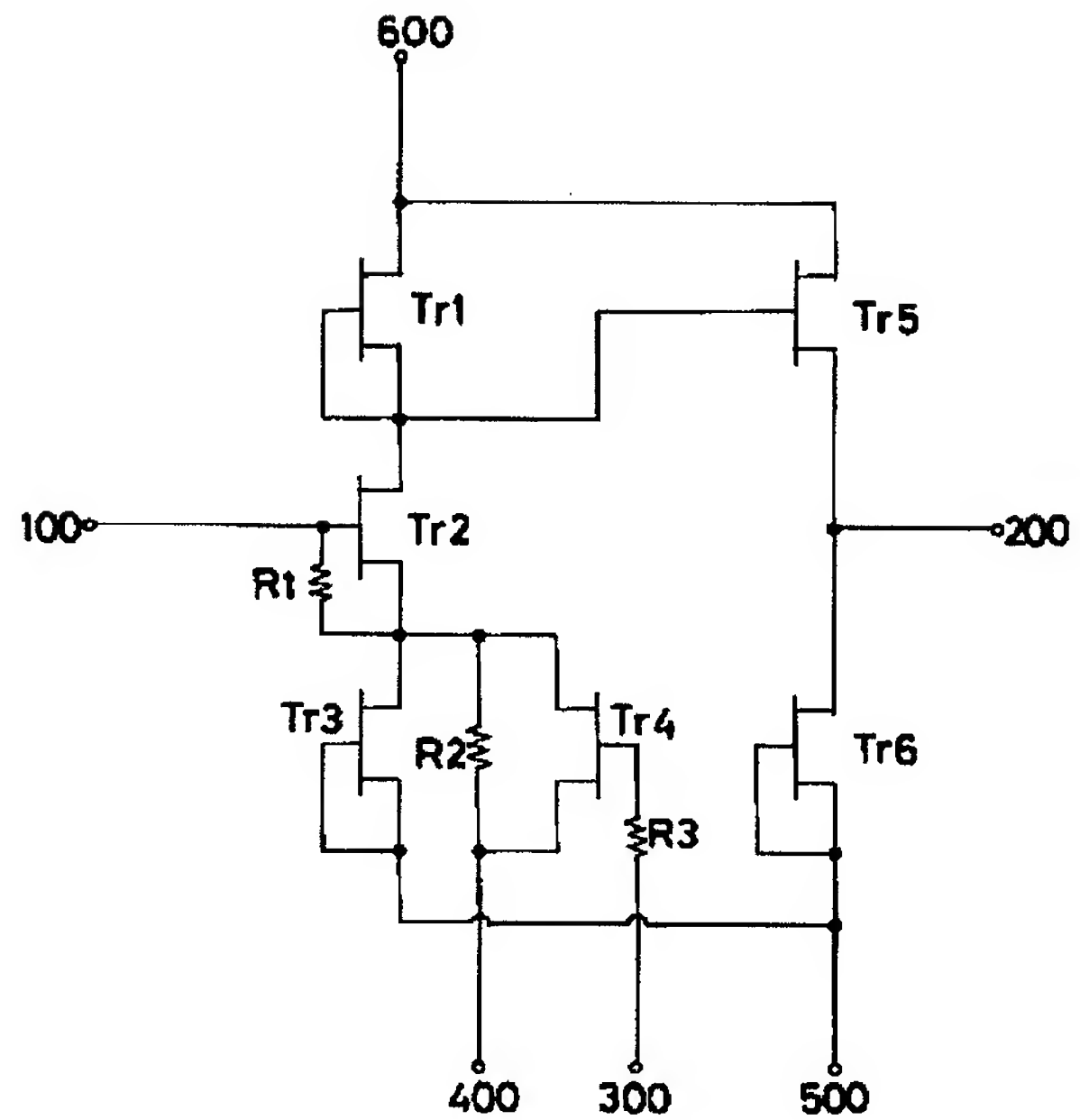
Tr 1 2	増幅器として用いる第 2 の F E T
Tr 1 3	可変能動負荷として用いる第 3 の F E T
R 1 1	バイアス設定用ダンピング抵抗
C 1 1	高周波接地用コンデンサ
L 1 1	チョークコイル
Tr 2 1	能動負荷として用いる第 1 の F E T
Tr 2 2	増幅器として用いる第 2 の F E T
Tr 2 3	可変能動負荷として用いる第 3 の F E T
R 2 1	バイアス設定用ダンピング抵抗
C 2 1	結合コンデンサ
Tr 5	ソースフォロアとして用いる第 5 の F E T
Tr 6	定電流源として用いる第 6 の F E T
R 2	利得クランプ用抵抗
R 3	電流クランプ用抵抗
Tr 1 4	ソースフォロアとして用いる第 4 の F E T
Tr 1 5	定電流源として用いる第 5 の F E T
R 1 2	電流クランプ用抵抗
Tr 2 4	ソースフォロアとして用いる F E T
Tr 2 5	定電流源として用いる F E T
R 2 2	利得クランプ用抵抗
R 2 3	電流クランプ用抵抗
1 0 0	入力端子
2 0 0	出力端子
3 0 0	利得制御端子
4 0 0	高周波接地端子
5 0 0	接地端子
6 0 0	電源端子
7 0 0	チョークコイル用端子
8 0 0	結合コンデンサ用端子

【図1】

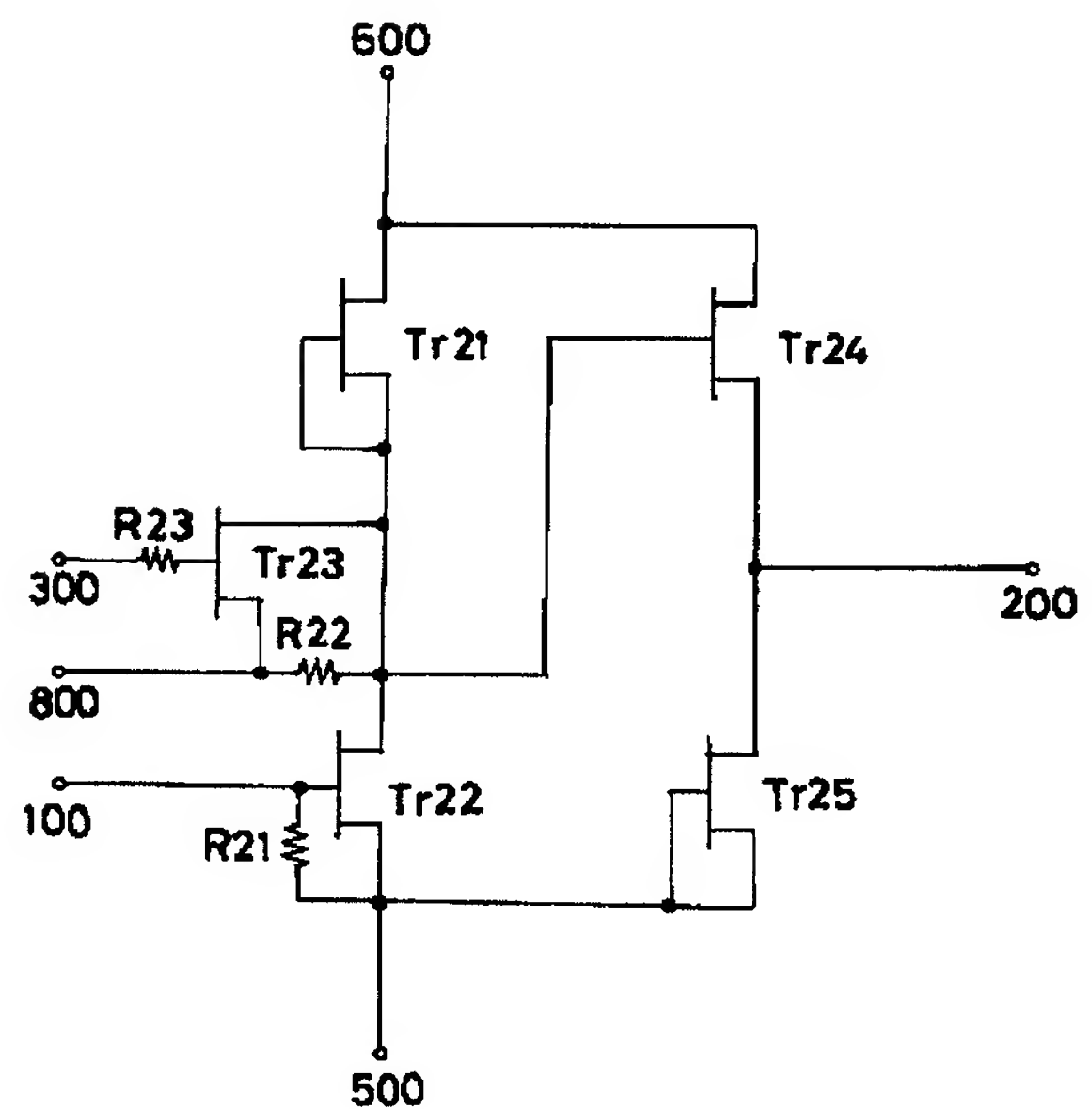
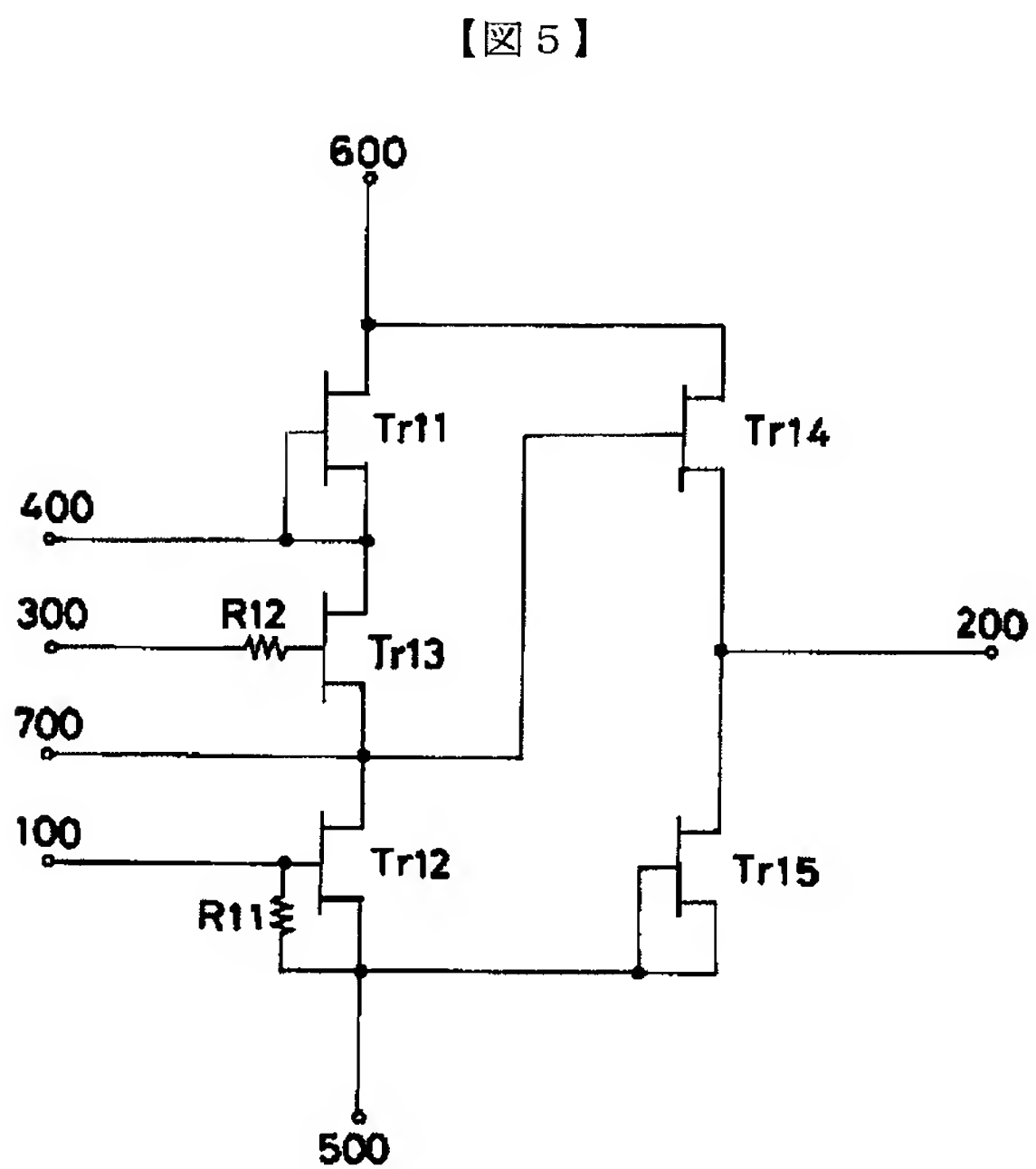


Tr1…能動負荷として用いる第1のFET
 Tr2…増幅器として用いる第2のFET
 Tr3…定電流源として用いる第3のFET
 Tr4…可変能動負荷として用いる第4のFET
 R1…バイアス設定用ダンピング抵抗
 C1…高周波接地用コンデンサ
 100…入力端子
 200…出力端子
 300…利得制御端子

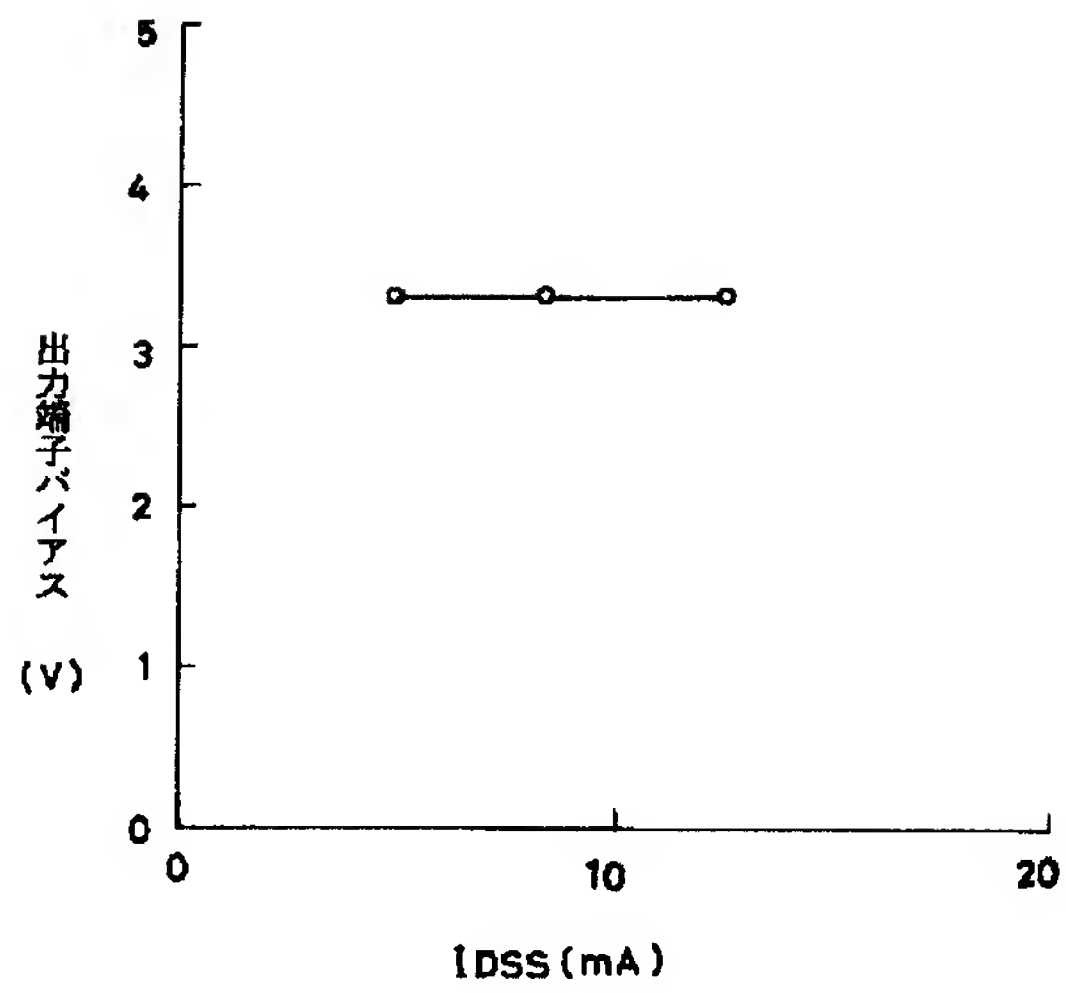
【図4】



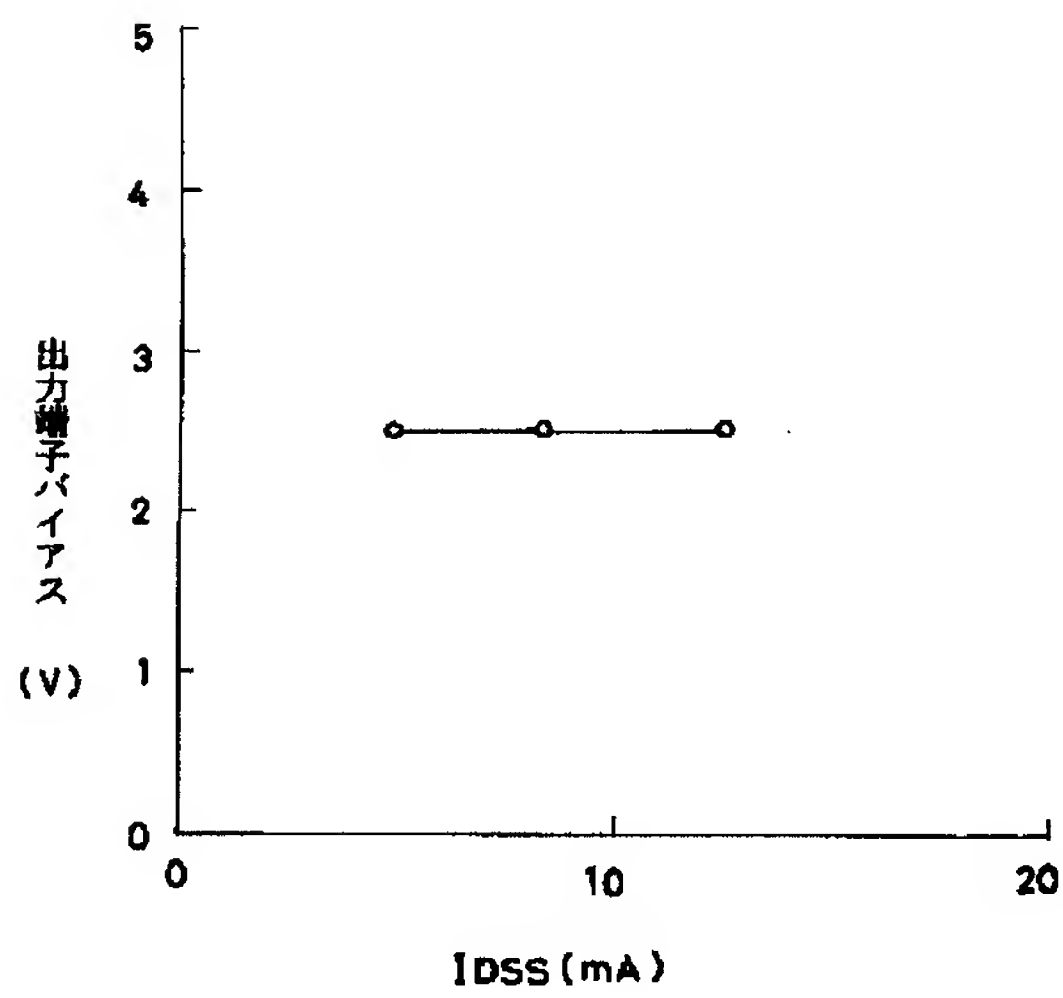
【図6】



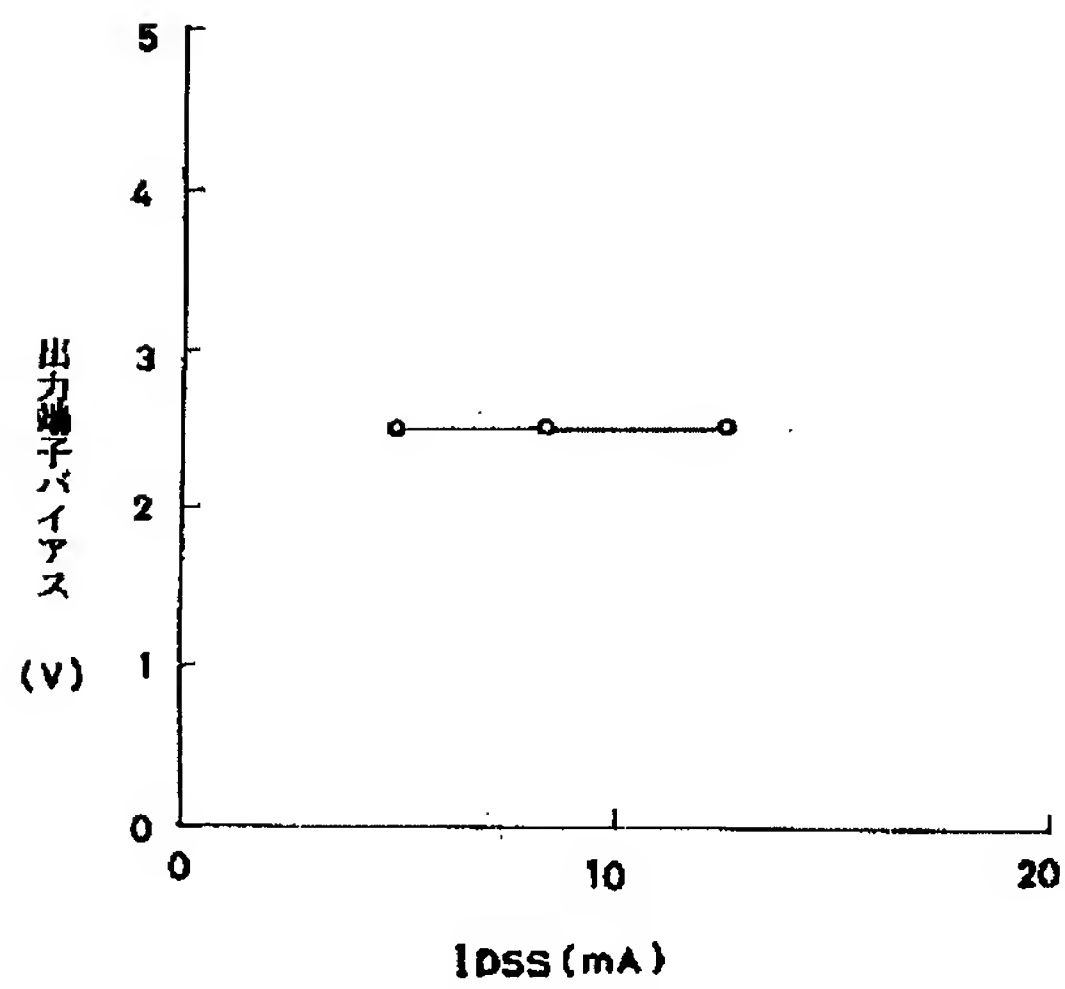
【図7】



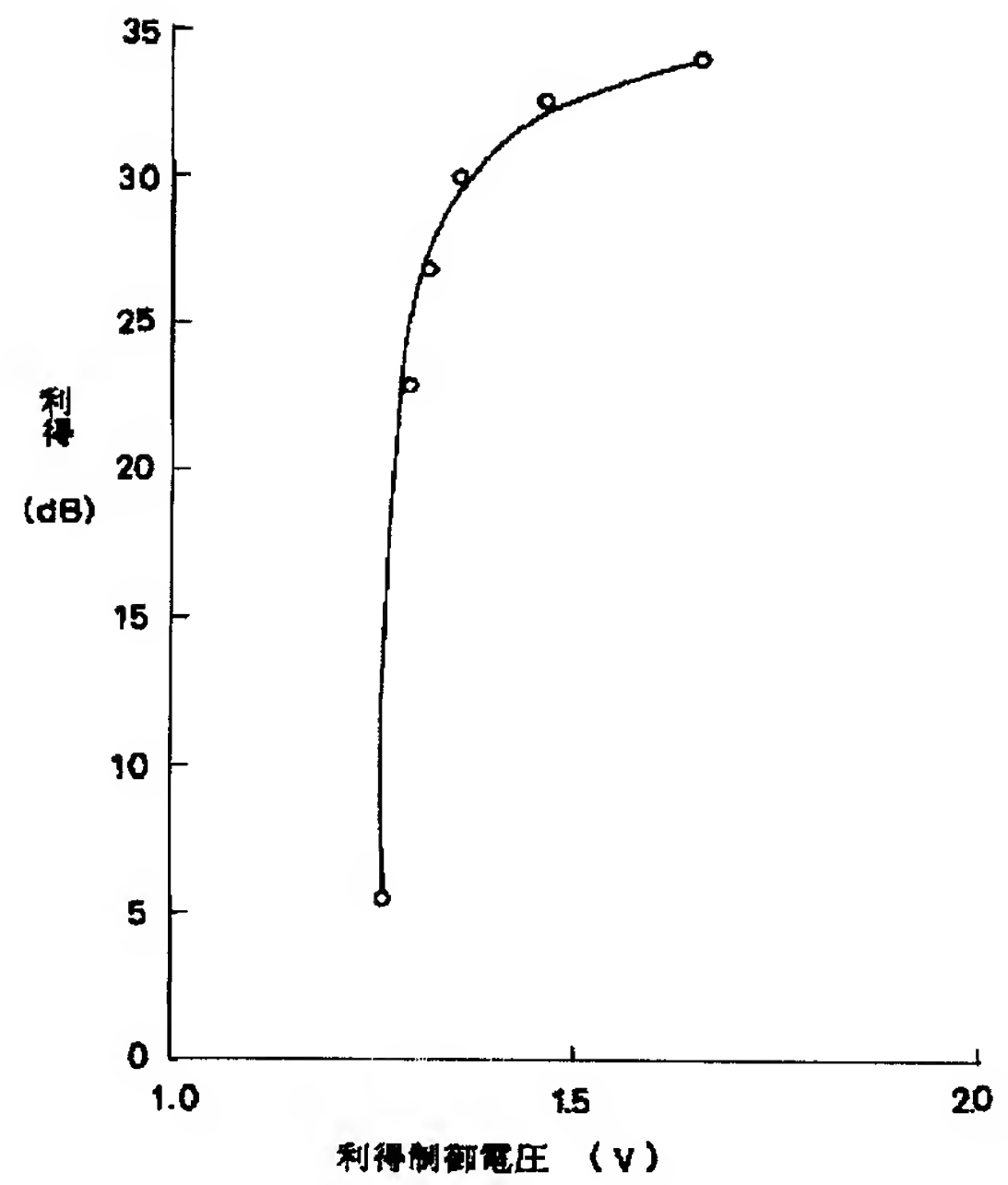
【図9】



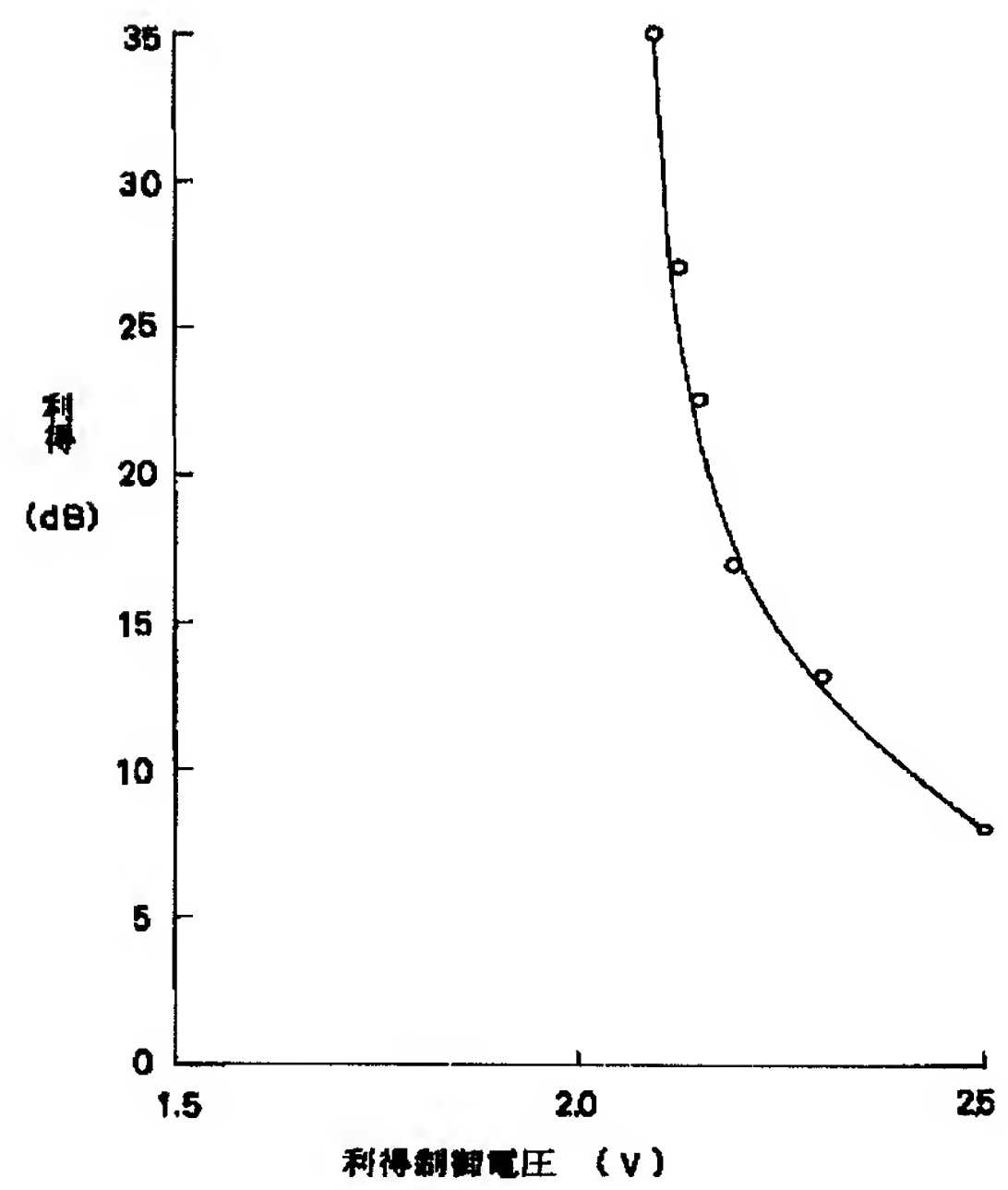
【図11】



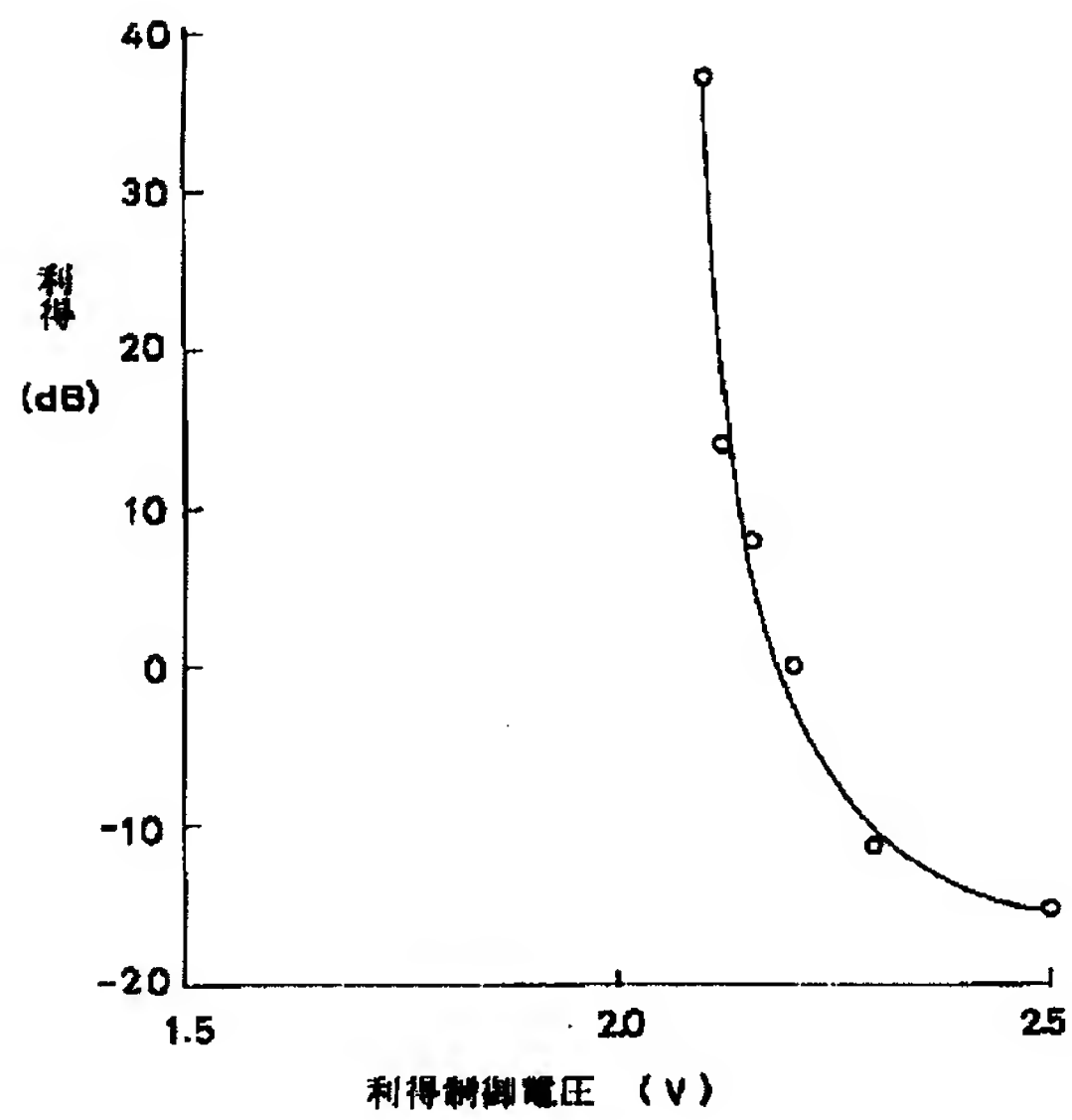
【図8】



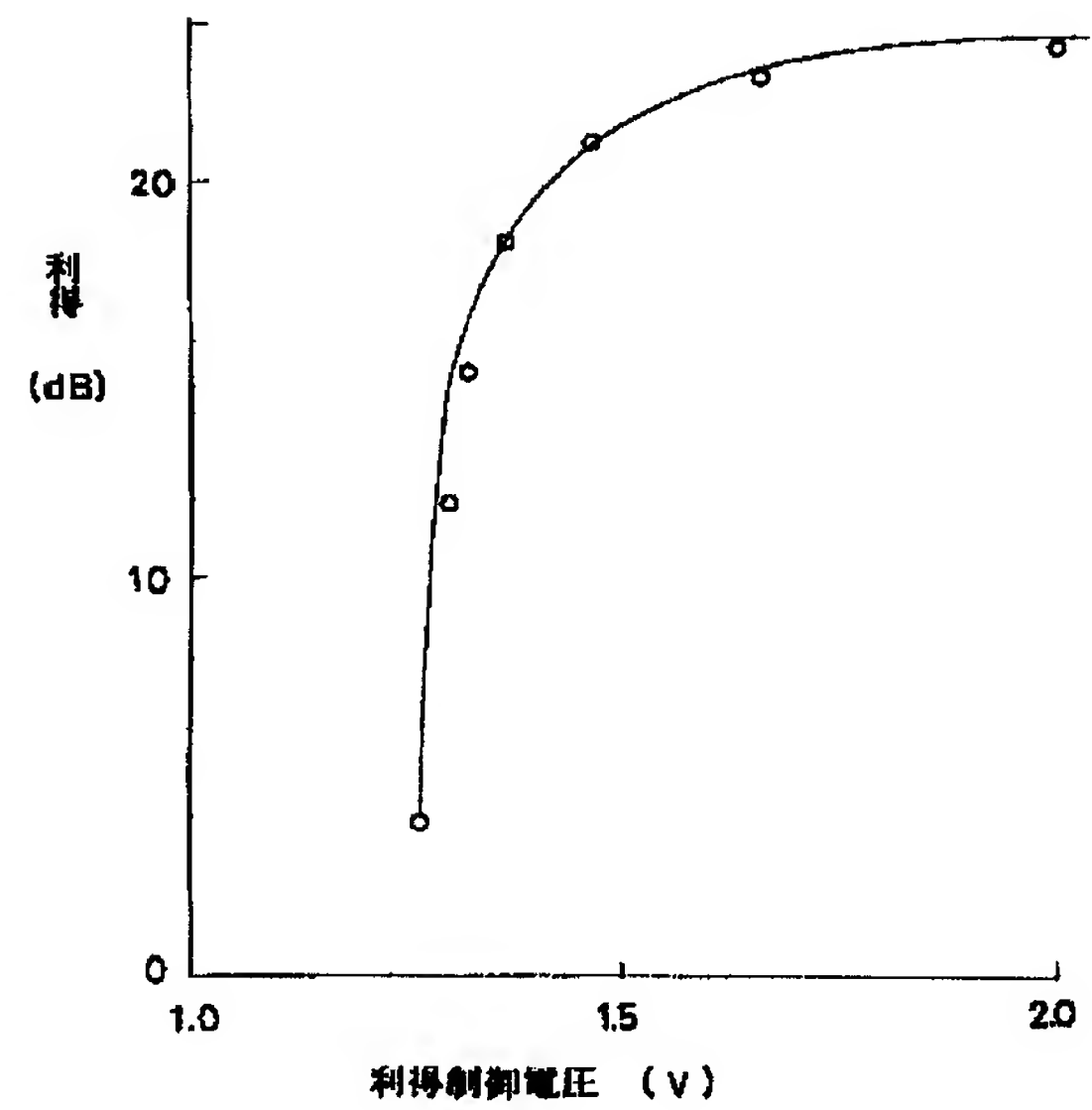
【図10】



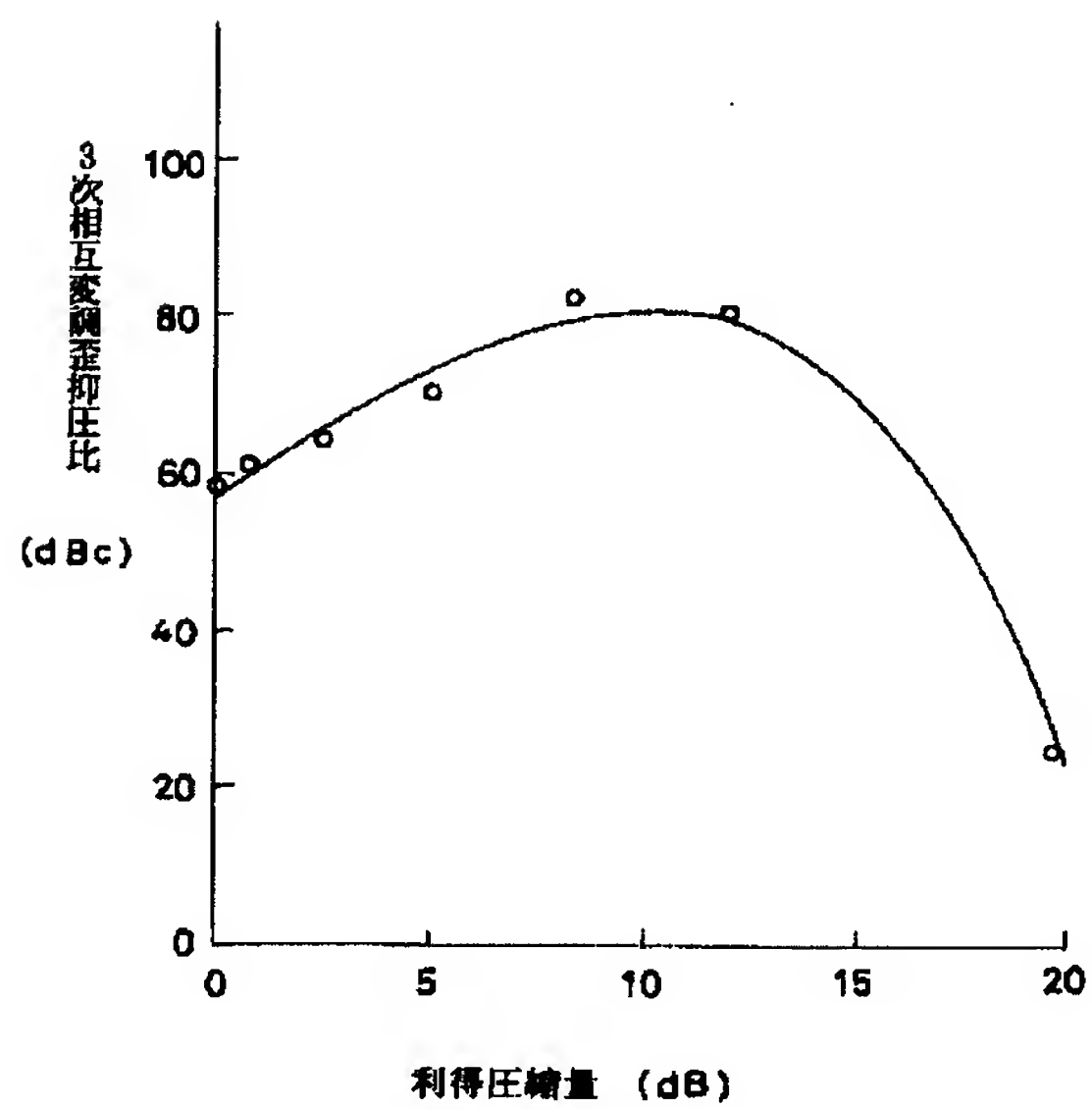
【図12】



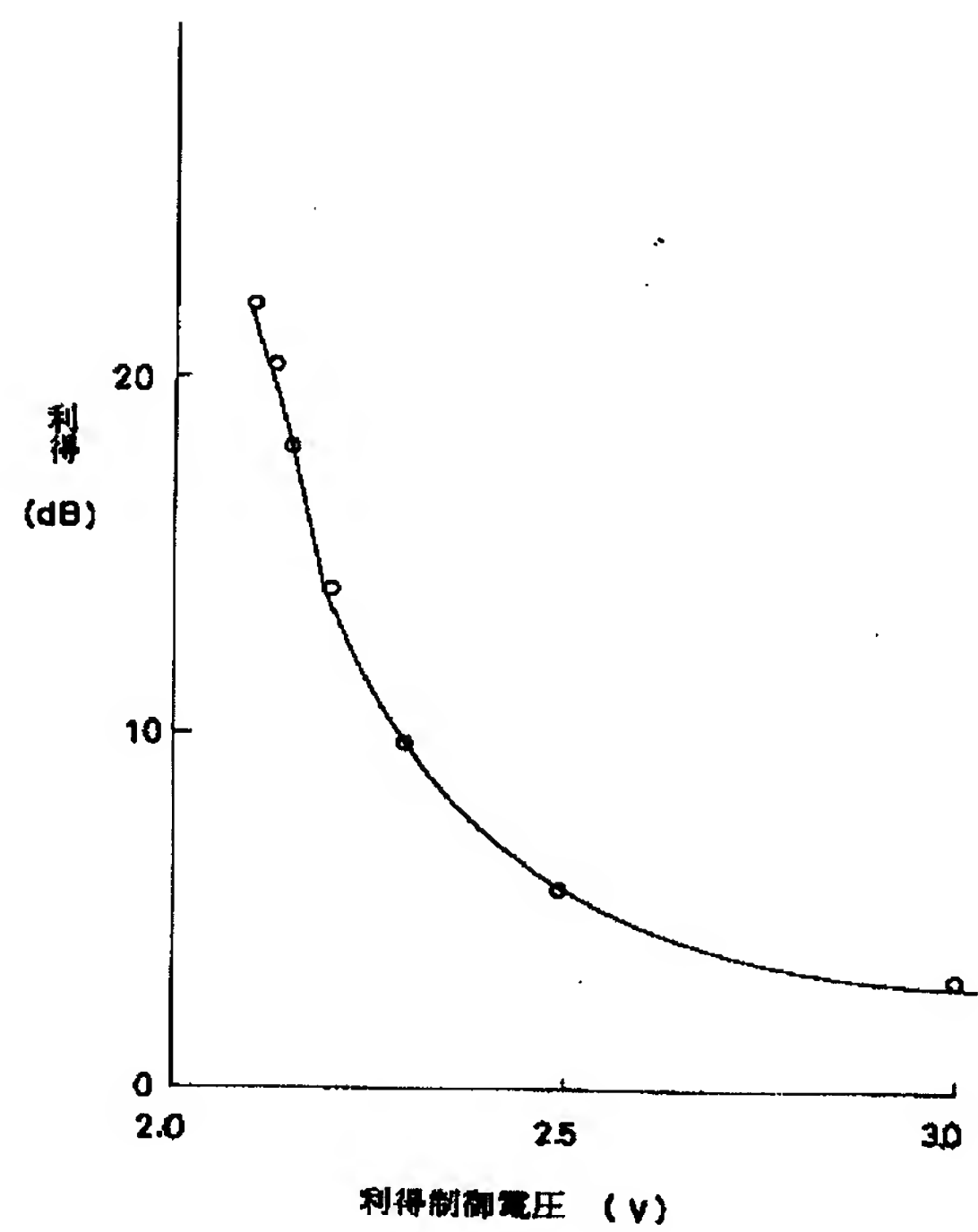
【図13】



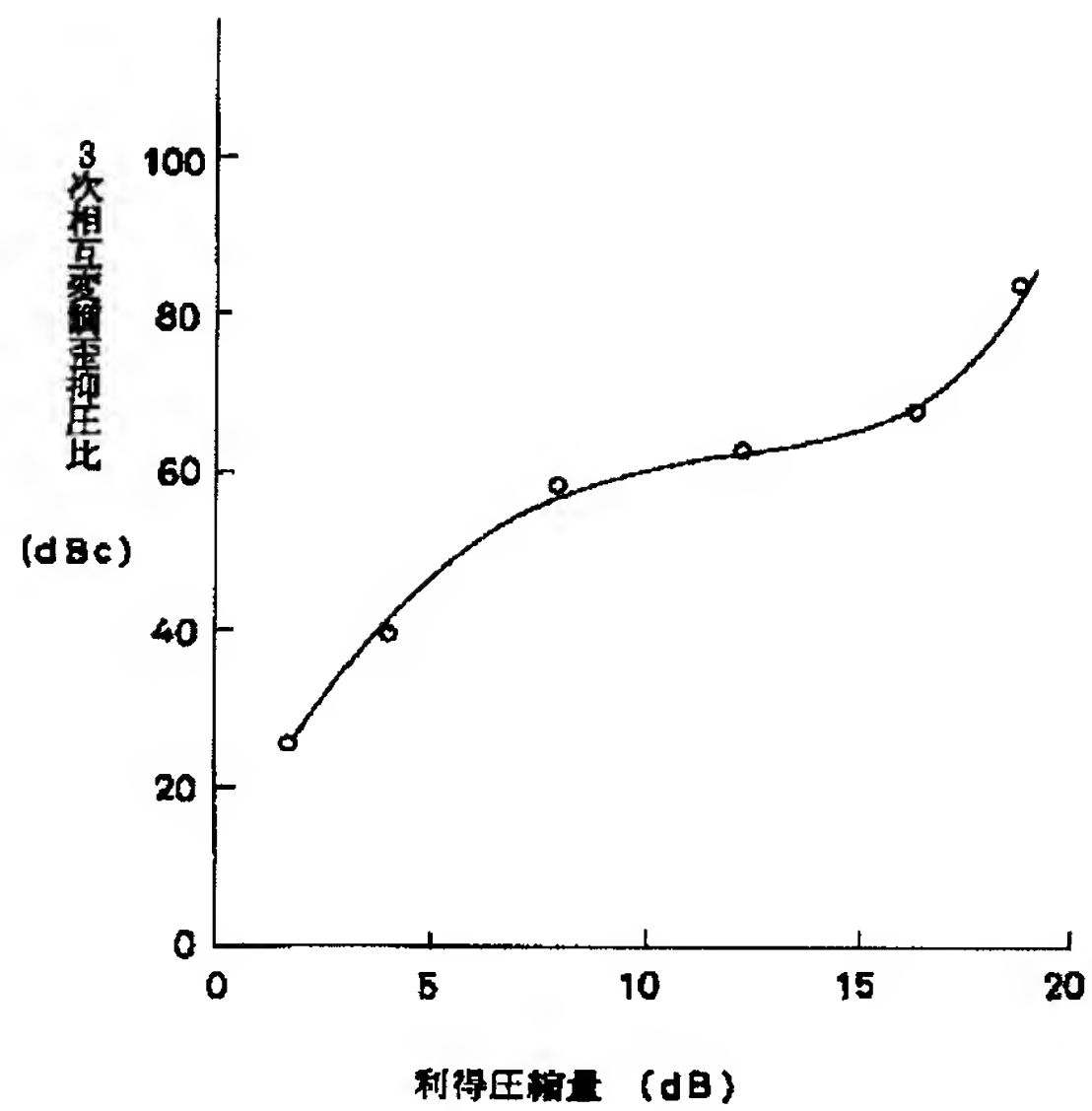
【図14】



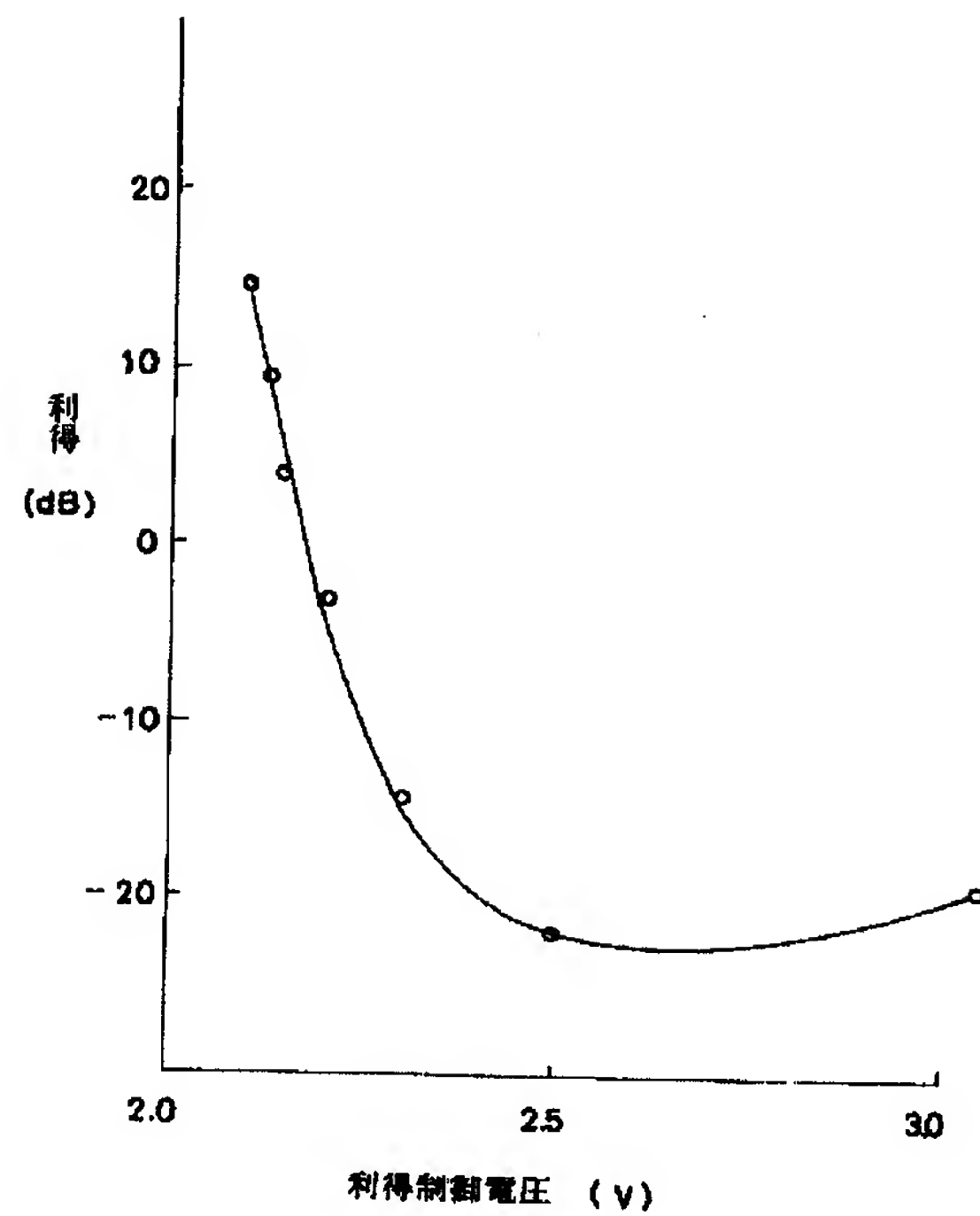
【図15】



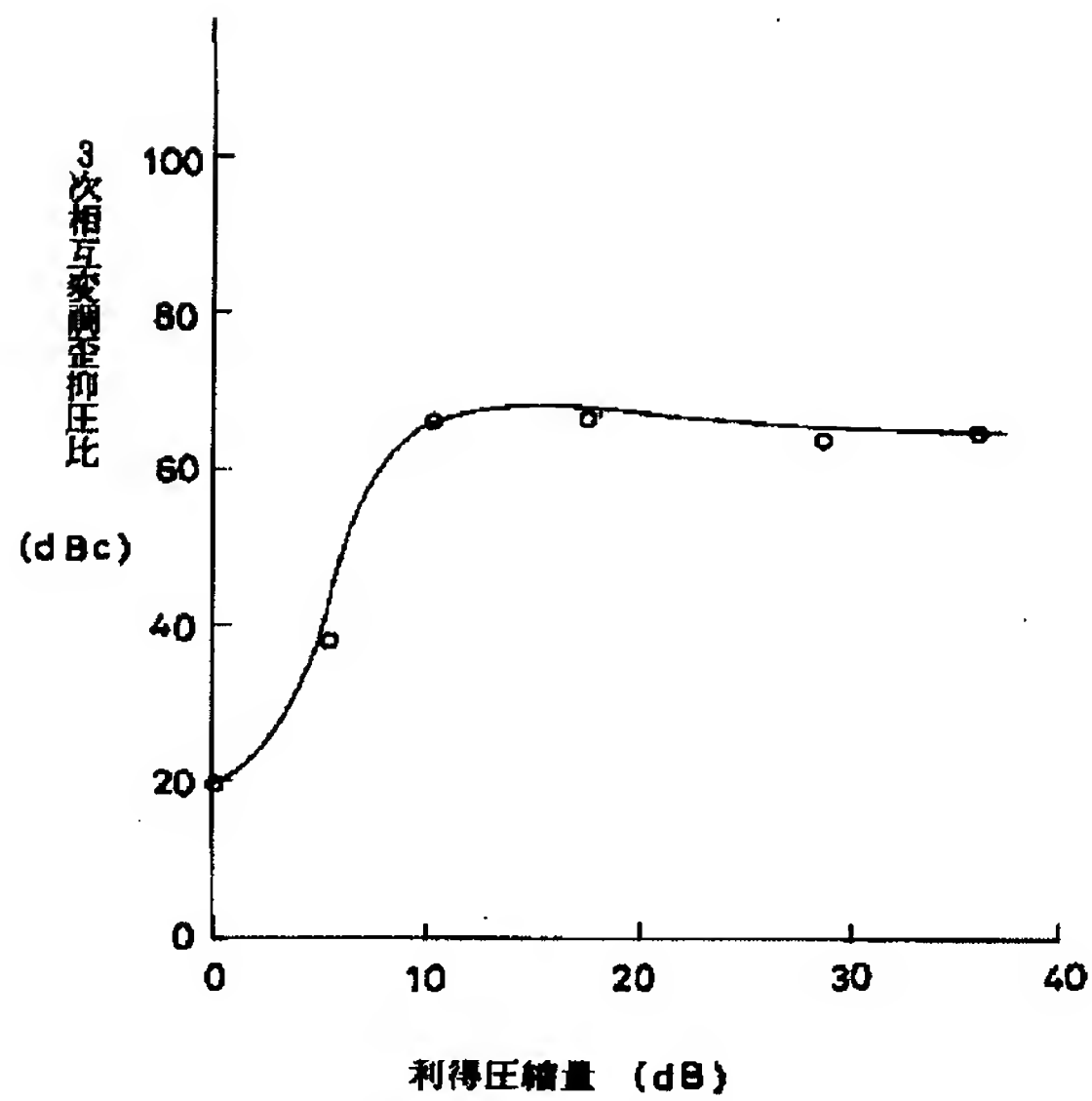
【図16】



【図17】



【図18】



フロントページの続き

(72)発明者 中塚 忠良
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 八木田 秀樹
大阪府門真市大字門真1006番地 松下電器
産業株式会社内